

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月20日

出 願 番 号

Application Number:

特願2002-336961

[ST.10/C]:

[JP2002-336961]

出 願 人

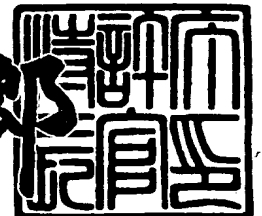
Applicant(s):

株式会社東芝

2003年 5月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3032539

【書類名】 特許願

【整理番号】 A000204934

【提出日】 平成14年11月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体集積回路

【請求項の数】 17

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 渡辺 浩志

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
 【発明の名称】 半導体集積回路
 【特許請求の範囲】

【請求項 1】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなる経時変化回路と、この経時変化回路の出力信号を参照信号と比較して該回路の寿命を検知するセンス回路とを具備してなり、

前記経時変化デバイスの出力信号が所定のレベルに達するまでの時間を該経時変化デバイスの寿命と定義し、前記経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義し、前記経時変化デバイスの寿命の平均値よりも前記経時変化回路の寿命の方が長くなるように前記参照信号のレベルを設定したことを特徴とする半導体集積回路。

【請求項 2】

前記参照信号のレベルは、前記経時変化回路の出力信号が時間の経過により最大となる値よりも所定のオフセット量だけ小さい値、又は前記経時変化回路の出力信号が時間の経過により最小となる値よりも所定のオフセット量だけ大きい値に設定されることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記参照信号を記憶するメモリを備え、該メモリに記憶する参照信号のレベルを調整することで前記経時変化回路の寿命を制御可能にしたことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】

前記経時変化回路を構成する経時変化デバイスの数は、20 以上であることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】

前記経時変化デバイスは、電源と接続された状態でリーク現象を伴う電荷蓄積層を有する電界効果デバイスであることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 6】

電源と接続された状態でリーク現象を伴う電荷蓄積層を有する電界効果デバイスが複数個直列接続された直列回路を更に並列接続してなることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 7】

出力信号が時間と共に減少する経時変化デバイスを複数個並列接続してなる第 1 の経時変化回路と、出力信号が時間と共に増大する経時変化デバイスを複数個並列接続してなる第 2 の経時変化回路とを具備してなり、

第 1 及び第 2 の経時変化回路は直列接続され、各々の経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義したとき、第 1 の経時変化回路の寿命の方が第 2 の経時変化回路の寿命よりも長いことを特徴とする半導体集積回路。

【請求項 8】

出力信号が時間と共に減少する経時変化デバイスを複数個並列接続してなる第 1 の経時変化回路と、出力信号が時間と共に増大する経時変化デバイスを複数個並列接続してなる第 2 の経時変化回路とを具備してなり、

第 1 及び第 2 の経時変化回路は並列接続され、各々の経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義したとき、第 1 の経時変化回路の寿命の方が第 2 の経時変化回路の寿命よりも短いことを特徴とする半導体集積回路。

【請求項 9】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなる経時変化回路と、この経時変化回路の出力信号と経過時間との対応コードが予め記憶されたメモリ領域と、前記経時変化回路の出力信号と前記メモリ領域に記憶された対応コードとを比較するセンス回路とを具備してなり、

前記センス回路による比較動作によって前記経時変化回路の動作経過時間を検知することを特徴とする半導体集積回路。

【請求項 10】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなり、合算された出力信号が所定のレベルに達するまでの時間で定義される寿命がそれぞれ異なるN個の経時変化回路と、前記N個の経時変化回路の各出力信号を参照信号と同時に比較するセンス回路とを具備してなり、

前記センス回路の比較結果によって動作経過時間を検知することを特徴とする半導体集積回路。

【請求項 1 1】

前記N個の経時変化回路は、寿命を一定時間ずつ変えたものであり、前記センス回路の比較結果により、前記N個の経時変化回路の最短寿命と最長寿命の差をN等分した時間間隔で時刻を刻むことを特徴とする請求項 1 0 記載の半導体集積回路。

【請求項 1 2】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、

これらの経時変化デバイスに対応して複数個設けられ、半導体基板上に第1の絶縁膜を介して第1のゲートを有し、第1のゲート上に第2のゲート絶縁膜を介して第2のゲートを有し、各々のゲートを挟んで基板表面に第1及び第2の拡散層を有し、第1の拡散層が前記経時変化デバイスの出力端子と電氣的に接続された2層ゲート構造のトリミング用トランジスタと、

これらのトリミング用トランジスタに対応して複数個設けられ、第1～第4の端子を有し、トリミング用トランジスタの第2の拡散層が第1の端子と電氣的に接続され、トリミング用トランジスタの第2のゲートが第2の端子と電氣的に接続された演算回路と、

これらの演算回路の第3の端子に電氣的に接続され、所定の信号レベルを記憶した第1のメモリ領域と、

前記演算回路の第4の端子と電氣的に接続され、各々の演算回路の第4の端子に現れる出力信号を合算する合算回路と、

この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、

前記参照信号を記憶する第2のメモリ領域とを具備してなり、

前記演算回路は、前記トリミング用トランジスタを通じて入力される前記経時変化デバイスの出力信号と、前記第1のメモリ領域に記憶された信号レベルとを比較し、比較結果に基づいて前記トリミング用トランジスタの第1のゲートに対し電荷の注入又は放出を行うことを特徴とする半導体集積回路。

【請求項13】

前記経時変化デバイスは、前記基板上に前記トリミング用トランジスタと同じ構成に形成され、該経時変化デバイスの第1及び第2の拡散層の一方はトリミング用トランジスタと共用され、該経時変化デバイスの第1のゲート絶縁膜の膜厚はトリミング用トランジスタの第1のゲート絶縁膜よりも薄いことを特徴とする請求項12記載の半導体集積回路。

【請求項14】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、

これらの経時変化デバイスに対応して複数個設けられ、半導体基板上に絶縁膜を介してゲートを有し、ゲートを挟んで第1及び第2の拡散層を有し、第1の拡散層が前記経時変化デバイスの出力端子と電氣的に接続されたトリミング用トランジスタと、

これらのトリミング用トランジスタに対応して複数個設けられ、第1～第4の端子を有し、トリミング用トランジスタの第2の拡散層が第1の端子と電氣的に接続され、トリミング用トランジスタのゲートが第2の端子と電氣的に接続された演算回路と、

これらの演算回路の第3の端子に電氣的に接続され、所定の信号レベルを記憶した第1のメモリ領域と、

前記演算回路の第4の端子と電氣的に接続され、各々の演算回路の第4の端子に現れる出力信号を合算する合算回路と、

この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、

前記参照信号を記憶する第2のメモリ領域とを具備してなり、

前記演算回路は、前記トリミング用トランジスタを通じて入力される前記経時

変化デバイスの出力信号と、前記第 1 のメモリ領域に記憶された信号レベルとを比較し、比較結果に基づいて前記演算回路と前記トリミング用トランジスタとの間の電氣的接続、又は前記演算回路と前記合算回路との電氣的接続を切断することを特徴とする半導体集積回路。

【請求項 1 5】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、

これらの経時変化デバイスに対応して複数個設けられ、第 1 ～第 3 の端子を有し、前記経時変化デバイス出力端子と第 1 の端子とが電氣的に接続された演算回路と、

これらの演算回路の第 2 の端子に電氣的に接続され、所定の信号レベルを記憶した第 1 のメモリ領域と、

前記演算回路の第 3 の端子と電氣的に接続され、各々の演算回路の第 3 の端子に現れる出力信号を合算する合算回路と、

この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、

前記参照信号を記憶する第 2 のメモリ領域とを具備してなり、

前記演算回路は、前記経時変化デバイスの出力信号と前記第 1 のメモリ領域に記憶された信号レベルとを比較し、比較結果に基づいて前記演算回路の第 1 の端子と前記経時変化デバイスとの電氣的接続、又は前記演算回路と前記合算回路との電氣的接続を切断することを特徴とする半導体集積回路。

【請求項 1 6】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、

これらの経時変化デバイスに対応して複数個設けられ、半導体基板上に絶縁膜を介してゲートを有し、ゲートを挟んで第 1 及び第 2 の拡散層を有し、第 1 の拡散層が前記経時変化デバイスの出力端子と電氣的に接続されたトリミング用トランジスタと、

これらのトリミング用トランジスタに対応して複数個設けられ、第 1 ～第 4 の端子を有し、トリミング用トランジスタの第 2 の拡散層が第 1 の端子と電氣的に

接続され、トリミング用トランジスタのゲートが第 2 の端子と電氣的に接続された演算回路と、

これらの演算回路の第 3 の端子に電氣的に接続され、所定の信号レベルを記憶した第 1 のメモリ領域と、

前記演算回路の第 4 の端子と電氣的に接続され、各々の演算回路の第 4 の端子に現れる出力信号を合算する合算回路と、

この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、

前記参照信号を記憶する第 2 のメモリ領域と、

前記トリミング用トランジスタを通じて前記演算回路に入力される前記経時変化デバイスの出力信号と前記第 1 のメモリ領域に記憶された信号レベルとを前記演算回路が比較した結果を記憶する第 3 のメモリ領域と、

を具備してなることを特徴とする半導体集積回路。

【請求項 1 7】

前記経時変化デバイスの出力が前記第 1 のメモリ領域に記憶された所定の信号レベルに達するまでの時間を前記経時変化デバイスの寿命と定義し、前記合算回路で合算された出力が前記第 2 のメモリ領域に記憶された参照信号のレベルに達するまでの時間を前記経時変化回路の寿命と定義したときに、前記第 1 のメモリ領域に記憶する所定の信号レベルを調節することによって、前記経時変化回路の寿命を制御することを特徴とする請求項 1 2 ～ 1 6 の何れかに記載の半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、バッテリー不要の電子タイマーを搭載した半導体集積回路に係わり、特に時間と共に出力の変化する経時変化デバイス（エージングデバイス）で構成された半導体集積回路に関する。より具体的には、バッテリーと切断されたオフライン状態で正確に稼働する集積可能な電子タイマーに関する。

【0 0 0 2】

【従来の技術】

従来、時間の経過と共に出力が変化するエージングデバイスの応用例として、メモリの保持時間を制御するものが提案されている（例えば、特許文献1参照）。これは、メモリという特定の機能を失わせることを目的とするものである。

【0003】

バッテリーの要らない電子タイマーを実現する手段として、不揮発性メモリセルを用いることが考えられる。浮遊ゲートと制御ゲートの2層ゲート構造のEEPROMは、一般に10年程度の電荷保持機能を有するが、基板と浮遊ゲートとの間のトンネル酸化膜を薄く形成することにより電荷保持期間を短くでき、これを用いることにより電子タイマーを実現することが可能となる。

【0004】

しかしながら、この種のEEPROMでは、トンネル酸化膜の膜厚に製造ばらつきがあると寿命に大きなばらつきが出てしまう。例えば、トンネル酸化膜の膜厚6nmを狙ったプロセスで、全ビットの膜厚を±5%の誤差内に収めたとしよう。このとき、図40に示すように、エージングデバイスの寿命を決定するゲートリーク電流は-5%で20倍大きく、+5%で20分の1と小さくなる。このようなリーク電流の大きな変動は、タイマー時間の大きなずれを招き、電子タイマーとして許容できるものではない。

【0005】

また、EEPROMに限らず、他の電子デバイスを用いた場合も、ウェル、HALO（チャネル端に高濃度分布を有する構造）、pn接合やゲートポリ等の不純物濃度、ゲート面積、ゲート端形状、pn接合及びショットキー接合等の接合面積など、セルの構造パラメータの製造ばらつきが寿命のばらつきを引き起こすことが、エージングデバイス製造上の問題点である。さらに、エージングデバイスのセルに不良が発生した場合、エージングデバイスを用いた半導体集積回路の信頼性を著しく損なう恐れがある。

【0006】

【特許文献1】

特開平10-189780号公報

【0007】

【発明が解決しようとする課題】

このように従来、時間の経過と共に出力の変化するエージングデバイスを用いてバッテリーの要らない電子タイマーを実現しようとする、エージングデバイスの製造ばらつきがタイマー時間に影響を与えるため、正確な動作時間を設定することは困難であった。

【0008】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、不良ビットの混入や、エージングデバイスの構造パラメータ（トンネル絶縁膜厚、不純物濃度、接合面積、ゲート端形状等）の製造ばらつきが、エージングデバイスの寿命に与える影響を抑制することができ、電子タイマー時間の制御性を高めることができる半導体集積回路を提供することにある。

【0009】

【課題を解決するための手段】

（構成）

上記課題を解決するために本発明は、次のような構成を採用している。

【0010】

即ち本発明は、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなる経時変化回路と、この経時変化回路の出力信号を参照信号と比較して該回路の寿命を検知するセンス回路とを具備してなる半導体集積回路であって、前記経時変化デバイスの出力信号が所定のレベルに達するまでの時間を該経時変化デバイスの寿命と定義し、前記経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義し、前記経時変化デバイスの寿命の平均値よりも前記経時変化回路の寿命の方が長くなるように前記参照信号のレベルを設定したことを特徴とする。

【0011】

ここで、本発明の望ましい実施態様としては次のものが挙げられる。

【0012】

(1) 参照信号のレベルは、経時変化回路の出力信号が時間の経過により最大と

なる値よりも所定のオフセット量だけ小さい値に設定されること。

【 0 0 1 3 】

(2) 参照信号のレベルは、経時変化回路の出力信号が時間の経過により最小となる値よりも所定のオフセット量だけ大きい値に設定されること。

【 0 0 1 4 】

(3) 参照信号を記憶するメモリを備え、該メモリに記憶する参照信号のレベルを調整することで前記経時変化回路の寿命を制御可能にしたこと。

【 0 0 1 5 】

(4) 経時変化回路を構成する経時変化デバイスの数は、20以上であること。

【 0 0 1 6 】

(5) 経時変化デバイスは、電源と接続された状態でリーク現象を伴う電荷蓄積層を有する電界効果デバイスであること。

【 0 0 1 7 】

また本発明は、出力信号が時間と共に減少する経時変化デバイスを複数個並列接続してなる第1の経時変化回路と、出力信号が時間と共に増大する経時変化デバイスを複数個並列接続してなる第2の経時変化回路とを具備してなる半導体集積回路であって、第1及び第2の経時変化回路は直列接続され、各々の経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義したとき、第1の経時変化回路の寿命の方が第2の経時変化回路の寿命よりも長いことを特徴とする。

【 0 0 1 8 】

また本発明は、出力信号が時間と共に減少する経時変化デバイスを複数個並列接続してなる第1の経時変化回路と、出力信号が時間と共に増大する経時変化デバイスを複数個並列接続してなる第2の経時変化回路とを具備してなる半導体集積回路であって、第1及び第2の経時変化回路は並列接続され、各々の経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義したとき、第1の経時変化回路の寿命の方が第2の経時変化回路の寿命よりも短いことを特徴とする。

【 0 0 1 9 】

また本発明は、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなる経時変化回路と、この経時変化回路の出力信号と経過時間との対応コードが予め記憶されたメモリ領域と、前記経時変化回路の出力信号と前記メモリ領域に記憶された対応コードとを比較するセンス回路とを具備してなる半導体集積回路であって、前記センス回路による比較動作によって前記経時変化回路の動作経過時間を検知することを特徴とする。

【 0 0 2 0 】

また本発明は、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなり、合算された出力信号が所定のレベルに達するまでの時間で定義される寿命がそれぞれ異なるN個の経時変化回路と、前記N個の経時変化回路の各出力信号を参照信号と同時に比較するセンス回路とを具備してなる半導体集積回路であって、前記センス回路の比較結果によって動作経過時間を検知することを特徴とする。

【 0 0 2 1 】

ここで、本発明の望ましい実施態様としては次のものが挙げられる。

【 0 0 2 2 】

(1) N個の経時変化回路は、寿命を一定時間ずつ変えたものであり、センス回路の比較結果により、N個の経時変化回路の最短寿命と最長寿命の差をN等分した時間間隔で時刻を刻むこと。

【 0 0 2 3 】

(2) センス回路は、N個の経時変化回路に対応してN個設けられており、参照信号のレベルは全てのセンス回路で同じであること。

【 0 0 2 4 】

(3) センス回路は、N個の経時変化回路に対応してN個設けられており、各々のセンス回路において参照信号のレベルは独立に設定されていること。

【 0 0 2 5 】

また本発明は、電源と切断された状態で経時変化を起こし、読み出し時にセン

スされる出力信号が時間と共に変化する複数個の経時変化デバイスと、これらの経時変化デバイスに対応して複数個設けられ、半導体基板上に第1の絶縁膜を介して第1のゲートを有し、第1のゲート上に第2のゲート絶縁膜を介して第2のゲートを有し、各々のゲートを挟んで基板表面に第1及び第2の拡散層を有し、第1の拡散層が前記経時変化デバイスの出力端子と電氣的に接続された2層ゲート構造のトリミング用トランジスタと、これらのトリミング用トランジスタに対応して複数個設けられ、第1～第4の端子を有し、トリミング用トランジスタの第2の拡散層が第1の端子と電氣的に接続され、トリミング用トランジスタの第2のゲートが第2の端子と電氣的に接続された演算回路と、これらの演算回路の第3の端子に電氣的に接続され、所定の信号レベルを記憶した第1のメモリ領域と、前記演算回路の第4の端子と電氣的に接続され、各々の演算回路の第4の端子に現れる出力信号を合算する合算回路と、この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、前記参照信号を記憶する第2のメモリ領域とを具備してなる半導体集積回路であって、前記演算回路は、前記トリミング用トランジスタを通じて入力される前記経時変化デバイスの出力信号と、前記第1のメモリ領域に記憶された信号レベルとを比較し、比較結果に基づいて前記トリミング用トランジスタの第1のゲートに対し電荷の注入又は放出を行うことを特徴とする。

【0026】

ここで、経時変化デバイスは、トリミング用トランジスタを形成したのと同じ基板上にトリミング用トランジスタと同じ構成に形成され、該経時変化デバイスの第1及び第2の拡散層の一方はトリミング用トランジスタと共用され、該経時変化デバイスの第1のゲート絶縁膜の膜厚はトリミング用トランジスタの第1のゲート絶縁膜よりも薄いことを特徴とする。

【0027】

また本発明は、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、これらの経時変化デバイスに対応して複数個設けられ、半導体基板上に絶縁膜を介してゲートを有し、ゲートを挟んで第1及び第2の拡散層を有し、第1の拡散層が前記

経時変化デバイスの出力端子と電氣的に接続されたトリミング用トランジスタと、これらのトリミング用トランジスタに対応して複数個設けられ、第1～第4の端子を有し、トリミング用トランジスタの第2の拡散層が第1の端子と電氣的に接続され、トリミング用トランジスタのゲートが第2の端子と電氣的に接続された演算回路と、これらの演算回路の第3の端子に電氣的に接続され、所定の信号レベルを記憶した第1のメモリ領域と、前記演算回路の第4の端子と電氣的に接続され、各々の演算回路の第4の端子に現れる出力信号を合算する合算回路と、この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、前記参照信号を記憶する第2のメモリ領域とを具備してなる半導体集積回路であって、前記演算回路は、前記トリミング用トランジスタを通じて入力される前記経時変化デバイスの出力信号と、前記第1のメモリ領域に記憶された信号レベルとを比較し、比較結果に基づいて前記演算回路と前記トリミング用トランジスタとの電氣的接続、又は前記演算回路と前記合算回路との電氣的接続を切断することを特徴とする。

【 0 0 2 8 】

また本発明は、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、これらの経時変化デバイスに対応して複数個設けられ、第1～第3の端子を有し、前記経時変化デバイス出力端子と第1の端子とが電氣的に接続された演算回路と、これらの演算回路の第2の端子に電氣的に接続され、所定の信号レベルを記憶した第1のメモリ領域と、前記演算回路の第3の端子と電氣的に接続され、各々の演算回路の第3の端子に現れる出力信号を合算する合算回路と、この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、前記参照信号を記憶する第2のメモリ領域とを具備してなる半導体集積回路であって、前記演算回路は、前記経時変化デバイスの出力信号と前記第1のメモリ領域に記憶された信号レベルとを比較し、比較結果に基づいて前記演算回路の第1の端子と前記経時変化デバイスとの電氣的接続、又は前記演算回路と前記合算回路との電氣的接続を切断することを特徴とする。

【 0 0 2 9 】

また本発明は、半導体集積回路において、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、これらの経時変化デバイスに対応して複数個設けられ、半導体基板上に絶縁膜を介してゲートを有し、ゲートを挟んで第1及び第2の拡散層を有し、第1の拡散層が前記経時変化デバイスの出力端子と電氣的に接続されたトリミング用トランジスタと、これらのトリミング用トランジスタに対応して複数個設けられ、第1～第4の端子を有し、トリミング用トランジスタの第2の拡散層が第1の端子と電氣的に接続され、トリミング用トランジスタのゲートが第2の端子と電氣的に接続された演算回路と、これらの演算回路の第3の端子に電氣的に接続され、所定の信号レベルを記憶した第1のメモリ領域と、前記演算回路の第4の端子と電氣的に接続され、各々の演算回路の第4の端子に現れる出力信号を合算する合算回路と、この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、前記参照信号を記憶する第2のメモリ領域と、前記トリミング用トランジスタを通じて前記演算回路に入力される前記経時変化デバイスの出力信号と前記第1のメモリ領域に記憶された信号レベルとを前記演算回路が比較した結果を記憶する第3のメモリ領域と、を具備してなることを特徴とする。第3のメモリ領域は、演算回路に内蔵しても良い。

【 0 0 3 0 】

ここで、前記経時変化デバイスの出力が前記第1のメモリ領域に記憶された所定の信号レベルに達するまでの時間を前記経時変化デバイスの寿命と定義し、前記合算回路で合算された出力が前記第2のメモリ領域に記憶された参照信号のレベルに達するまでの時間を前記経時変化回路の寿命と定義したときに、前記第1のメモリ領域に記憶する所定の信号レベルを調節することによって、前記経時変化回路の寿命を制御することが望ましい。

【 0 0 3 1 】

(作用)

本発明によれば、単一の経時変化デバイスではなく、複数の経時変化デバイス(エージングデバイス)を並列に接続し、寿命の長いセル(但し、最長寿命を除く)が経時変化回路の寿命を決定するよう設計することにより、単一のエージン

グデバイスを用いた場合のようなばらつきを抑制することができ、しかも不良ビットによるばらつきを防止することができる。従って、不良ビットの混入や、エージングデバイスの構造パラメータ（トンネル絶縁膜厚、不純物濃度、接合面積、ゲート端形状等）の製造ばらつきが、エージングデバイスの寿命に与える影響を抑制することができ、電子タイマー時間の制御性を高めることが可能となる。

【 0 0 3 2 】

【発明の実施の形態】

まず、発明の実施形態を説明する前に、エージングデバイスについて説明しておく。

【 0 0 3 3 】

図 1 は、エージングデバイスの基本構成を示す図である。エージングデバイスの中心部は、経時変化する機能領域 1 1 と、この経時変化をセンスする機能変化センス部 1 2 である。機能変化センス部 1 2 には、入力部 1 3 から入力信号が入力され、その入力信号に応じて出力部 1 4 から出力信号が出力される。集積回路では、この経時変化する機能領域として、電源と切断した状態でリーク現象を伴う電荷蓄積層を用いるのが望ましい。また、センス部としては電界効果を電気抵抗に変換するチャネル等が望ましい。

【 0 0 3 4 】

図 2 は、このエージングデバイスの基本構成を実現する第 1 の具体例である。Si 基板 2 0 の表面部分にソース領域 2 1 とドレイン領域 2 2 が離間して設けられ、ソース領域 2 1 とドレイン領域 2 2 との間のチャネル 2 3 上にトンネル絶縁膜（第 1 のゲート絶縁膜）2 4 を介してフローティングゲート 2 5 が形成され、その上に絶縁膜（第 2 のゲート絶縁膜）2 6 を挟んで制御ゲート 2 7 が形成されている。ソース領域 2 1 及びドレイン領域 2 2 には、それぞれソース電極 2 8 とドレイン電極 2 9 が設けられている。

【 0 0 3 5 】

この構成は、基本的には 2 層ゲート構造の E E P R O M と同様であるが、一般的なメモリセルに比してトンネル絶縁膜 2 4 の膜厚が薄くなっている。具体的には、一般的なメモリセルのトンネル絶縁膜の膜厚が約 1 0 n m 程度であるのに対

し、エージングデバイスに用いるメモリセルのトンネル絶縁膜は約 $1 \sim 6 \text{ nm}$ と薄くなっている。

【 0 0 3 6 】

ここで、経時変化する機能領域はフローティングゲート 2 5 が対応し、経時変化センス部はチャンネル 2 3 が対応し、入力部はソース電極 2 8 とドレイン電極 2 9 が対応し、入力信号はソース領域 2 1 とドレイン領域 2 2 と間の電位差が対応し、出力部はドレイン電極 2 9 が対応し、出力信号はドレイン電流が対応している。

【 0 0 3 7 】

図 3 は、図 2 で示した具体例がエージングデバイスとしての機能を有することを説明する図である。前処理として、制御ゲートから基板界面とフローティングゲートの間に高電界を印加し、FN トンネリングによって電子をチャンネルからフローティングゲートに注入しておく。このとき、基板界面は反転して正孔が集中し、(a) のように基板界面にチャンネルが開く。

【 0 0 3 8 】

この状態から、時間の経過と共にフローティングゲートの電子が基板界面に直接トンネルし、チャンネル電界を減少させる。本来、このような直接トンネリングによる電界の減少は電子の電荷が小さいため連続的に行われるが、説明を簡単にするため、時刻 t_1 に不連続に電界の減少が生じるものとする、(b) 及び (c) のグラフで示すように、ドレイン電流として現れる出力信号の時間変化は不連続になる。

【 0 0 3 9 】

その後、(d) に示すように時刻 t_2 で再び直接トンネリングが生じ、(e) のような状態になる。さらに、時刻 t_3 で直接トンネリングが起こると、(f) に示すようにフローティングゲートに注入されていた電子が全て抜け、チャンネルが消失して時刻 t_3 以降出力信号が流れなくなる。この例では、エージングデバイスの寿命とは蓄積された電荷が抜ける寿命なのである。従って、後述するノーマリーオン型エージングデバイスで出力信号が増大してくる時間も寿命と呼ぶことができる。

【 0 0 4 0 】

この説明は、上述したとおり、説明の簡単を期したため不連続な出力信号の時間変化を導き出したが、実際には、図 4 に示すように出力信号の変化は連続的になっている。時刻 t_a から t_b の間に直接トンネリングが生じ、最後にはチャンネルが消失してノイズレベルまで出力信号が低下する。エージングデバイスは、時刻 t_a から t_b の間の、この経時変化を利用するものである。また、電子と正孔の役割を変換したり、 n と p を交換しても同様に説明できるので、詳細は省略する。

【 0 0 4 1 】

図 5 は、エージングデバイスの基本構成を実現する第 2 の具体例である。 n 型 Si 基板 5 0 の表面部に p^+ 型ソース領域 5 1 と p^+ 型ドレイン領域 5 2 とが離間して設けられ、これらのソース領域 5 1 とドレイン領域 5 2 との間のチャンネル 5 3 上にトンネル絶縁膜 5 4 を介してゲート 5 5 が形成され、その上にリーク電流を制御するための $p-n$ 接合 5 6 を有している。ソース領域 5 1 及びドレイン領域 5 2 には、それぞれソース電極 5 8 とドレイン電極 5 9 が設けられている。

【 0 0 4 2 】

ここで、経時変化する機能領域はゲート 5 5 と $p-n$ 接合 5 6 が対応し、経時変化センス部はチャンネル 5 3 が対応し、入力部はソース電極 5 8 とドレイン電極 5 9 が対応し、入力信号はソース領域 5 1 とドレイン領域 5 2 との間の電位差が対応し、出力部はドレイン電極 5 9 が対応し、出力信号はドレイン電流が対応している。

【 0 0 4 3 】

経時変化の機能の説明は、直接トンネリングを $p-n$ 接合のリーク電流に置き換えれば第 1 の具体例と同様なので省略する。また、電子と正孔の役割を変換したり、 n と p を交換しても同様に説明できるので、これも詳細は省略する。

【 0 0 4 4 】

図 6 は、エージングデバイスの基本構成を実現する第 3 の具体例である。図 5 に示した第 2 の具体例と異なるのは、 $p-n$ 接合 5 6 の代わりにショットキー接合 5 7 を設けたことである。この場合、経時変化する機能領域はゲート 5 5 とショ

ットキー接合 5 7 が対応することになる。また、経時変化の機能の説明は、直接トンネリングをショットキー接合のリーク電流に置き換えれば第 1 の具体例と同様なので省略する。また、電子と正孔の役割を変換したり、n と p を交換しても同様に説明できるので、これも詳細は省略する。

【 0 0 4 5 】

このように、上記の何れのエージングデバイスにおいても、電源と切断した状態で経時変化を起こし、読み出し時にセンスする出力信号が時間と共に変化することになる。以下、この種のエージングデバイスを用いた半導体集積回路の実施形態を説明する。

【 0 0 4 6 】

(第 1 の実施形態)

前記図 2 に示すようなエージングデバイスにおいては、図 7 に示すように、チップ上のトンネル絶縁膜（例えば酸化膜）の膜厚は半値幅の狭い正規分布をしていると考えられる。この分布関数をビット数密度 ($Z(T_{ox})$) とすると、 $Z(T_{ox}) \cdot \delta T_{ox}$ は、トンネル酸化膜の膜厚 (T_{ox}) が、 $[T_{ox} - \delta T_{ox} / 2, T_{ox} + \delta T_{ox} / 2]$ の間にあるチップ上の全ビット数となる。

【 0 0 4 7 】

このようなトンネル膜厚分布を持った N 個のエージングデバイスの端子（この例ではドレイン層）を、図 8 に示すように並列に接続する。図中の 8 1 はエージングデバイス、8 2 はソース、8 3 はドレインである。このとき、全ドレイン電流 I_D は、各エージングデバイスのドレイン電流 I_D' の和で定義でき、次式 (1) と書くことができる。

【 0 0 4 8 】

$$I_D = N \cdot \int dT_{ox} \cdot Z(T_{ox}) \cdot I_D'(T_{ox}, \tau) \cdots (1)$$

ここで、 τ は時間を表すパラメータである。フローティングゲートに蓄えた電荷が時間 τ と共に抜けることによって、この I_D は τ と共に低下することになる。図 9 に示すように、この I_D が、全体のドレインリークやノイズレベルより高い位置に設定した参照信号 I_0 まで低下したときの τ を全体の寿命 τ_{AG} と見なす。これは、 I_0 の設定によってノイズやオフリークの影響を取り除けることを意

味している。

【0049】

N個の並列したエージングデバイスのうち、寿命が短いものから I_D へ寄与できなくなるので、寿命最長のものが τ_{AG} を決定することを意味する。即ち、所望の τ_{AG} を得るためには、図7に示したトンネル膜厚分布(Z)の右側の裾野にくるエージングデバイスの寿命が τ_{AG} に一致するよう、製膜プロセスを調整すればよい。

【0050】

これを実現する工程を、図10に示す。まず、プロセスを調整し、所望のZを得る(ステップS1)。次に、デバイスシミュレーション若しくは実測から、各エージングデバイスのゲート電流を求める(ステップS2)。勿論、これは膜厚毎に得るものとする。また、並列するセルは一行である必要はなく、例えば図11に示すように、チップ上全域に広がって分布していても良い。なお、図中の110はチップ、111はセル、112はセル11の出力信号を合算するデコーダを示している。このように、並列するセルの個数やチップ上の分布をデザインによって決定する(ステップS3)。

【0051】

こうして、数式(1)を用いて、全体のドレイン電流 I_D を予想することができる。この I_D が参照信号 I_0 と等しくなる方程式を解くことによって(ステップS4)、全体の寿命 τ_{AG} をN, Z, I_0 の関数として求めることができる(ステップS5)。

【0052】

以上チップ内の膜厚分布から τ_{AG} を決定する方法を説明したが、現実には、チップ同士で分布の平均値や分散等が若干異なることが考えられる。このとき、 I_0 を限りなく低くして最長寿命のセルが全体の寿命 τ_{AG} を決定するようにしておくと、分布Zの右側裾野にはチップ毎のばらつきがあるので、かえって τ_{AG} にばらつきが混入してしまう。

【0053】

逆に言えば、チップ間のバラツキを無視できるほど小さくした製造プロセスを

開発すれば、並列されたエージングデバイスのうち最長寿命のものが全体の寿命 τ_{AG} を決定できることを意味している。しかしながら、チップ間のバラツキのない製造プロセスを開発することは難しく、現実的ではない。本発明では、チップ内のバラツキだけでなく、チップ間の製造バラツキも許容し得る寿命の決定方法を提案する。

【 0 0 5 4 】

具体的には、ノイズレベルと参照信号レベル I_0 の間に所定オフセットを設け、エージングデバイスの出力信号 I_D が、参照信号レベル I_0 に到達するまでの時間を全体の寿命 τ_{AG} と定義する。こうして定義された τ_{AG} は、チップ内最大膜厚の寿命（最長寿命）より短くなる。さらに、最長寿命がチップ毎にばらつくので、最長寿命が最も短いチップにおいても、 I_0 で定義された τ_{AG} が当該するチップの最長寿命より短くなるよう I_0 を選択しなければならない。また、製造プロセスも、このチップ毎の最長寿命のバラツキが一定範囲内に収まるように調整する必要がある。このような事情を踏まえた上で I_0 を設定し、改めて図 1 0 に示した工程を実行することになる。

【 0 0 5 5 】

実際のデバイス構成としては、図 3 5 に示すように、エージングデバイスの並列回路（エージング回路）の後段に、参照信号 I_0 を記憶するメモリと、複数のエージングデバイスの出力信号の合算出力と参照信号 I_0 とを比較するセンス回路を設け、センス回路の比較からエージング回路の寿命を判定するようにすればよい。

【 0 0 5 6 】

ところで、寿命に影響する構造パラメータはトンネル絶縁膜厚ばかりではない。図 1 2 に示すように、基板濃度も重要である。また、ウェル，HALO，拡散層，ゲートポリ等の不純物濃度も寿命に影響を及ぼすことが判っている。上述した方法は、トンネル絶縁膜厚を例にとって説明したものであり、トンネル絶縁膜厚をウェル，HALO，拡散層，ゲートポリ等の不純物濃度に置き換えても同じである。

【 0 0 5 7 】

同様に、ゲート面積やゲート端形状に置き換えても同じである。さらに、上述した手法は、特にセル構造が不揮発性メモリ型である場合を例にとって説明したものであり、MOSFETのゲートにpn接合やショットキー接合を接続したり、或いは、作り込んだりしたセル構造でも同様である。即ち、接合の不純物濃度や、接合面積等も寿命に影響を与える構造パラメータとなる。また、単一電子トランジスタでも同様である。

【0058】

以上で取り上げた寿命に影響を及ぼす構造パラメータは、考慮に入れるべき全ての構造パラメータのうちの一部でしかない。本発明による手法は、対応する構造パラメータに最も適した形に変形して用いることができる。このことは、以下で説明するトリミング法でも同じである。

【0059】

次に、本発明が不良ビットに対処できることを示す。図13に示すように、複数のエージングデバイスを直列に接続した場合を考えよう。この場合、直列に接続したN個のセルのうち1個の寿命が切れると、一番右端のドレイン電流は流れなくなり、システムにより全体として寿命がきたと判断される。これは、並列型と反対に、寿命が最も短いエージングデバイスが全体の寿命 τ_{AG} を決定していることを意味している。しかしながら、このN個のエージングデバイスのうち1個でも、何等かの理由により不良が生じ、本来設定されている寿命より早く信号が切れると、全体の寿命がそれに応じて早められてしまう。

【0060】

一方、本実施形態のような並列型では、全体の寿命を決定しているのが、寿命の長いビットの集まりである。即ち、少なくとも不良ビットではないものによって決定されているので、このような不良ビットによる寿命の最小化は起こらない。不良ビットが存在する場合、前記図7に示す膜厚度数分布(Z)の左側の裾野(寿命の短い方)が広がるだけである。

【0061】

不良ビットの原因は、一般に様々である。寿命を決定する構造パラメータとしてトンネル絶縁膜に注目すれば、SILC (Stress-induced Leakage Current)

や欠陥など、不揮発性メモリの不良ビットと同じ原因が考えられる。また、p n 接合やショットキー接合に注目すれば、トラップなどが考えられる。セルを並列にすることで、上述したような簡単な処方箋によって、こうした様々な不良の原因に同時に対処することが可能である。

【 0 0 6 2 】

上述した処方箋を実現するには、ビット数密度 Z が十分正規分布で近似できるほど並列するセルの数 N を多くしなければならない。この N は、以下で説明するように 20 以上である。正規分布の妥当性は、一般にスターリングの公式：

$$N! = (2\pi)^{1/2} \cdot N^{N+1/2} \cdot e^{-N} \dots (2)$$

が成り立つ程度で保証される。図 14 は、スターリングの公式の左辺と右辺の相対誤差を自然数 n に対してプロットしたものである。20 以上ではほぼスターリングの公式が成り立っていることが分かる。

【 0 0 6 3 】

このように本実施形態によれば、図 2 のようなエージングデバイスを用いることにより、半導体基板上に集積化できる、バッテリーの要らない電子タイマーを実現することができる。そしてこの場合、複数のエージングデバイスを並列に接続し、寿命の長いセル（但し、最長寿命を除く）の集団で寿命を決定するよう設計することにより、エージングデバイスの製造ばらつきが寿命に与える影響を取り除くことが可能となる。このとき、合算ドレイン電流が参照信号 I_0 に等しくなる時間で定義されるエージング回路の寿命は、並列されるエージングデバイスの寿命の平均値より長くなり、並列されるエージングデバイスの最長寿命より短くなる。さらに、不良ビットの影響も取り除くことが可能となる。

【 0 0 6 4 】

(第 2 の実施形態)

以上の説明は、寿命が来ると信号 (I_D) が消滅するノーマリーオフ型エージングデバイスを例にとって行った。逆に、寿命が来ると信号 (I_D) が発生するノーマリーオン型エージングデバイスでも、本発明を用いて同様に、不良ビットによる寿命の最小化や、製造ばらつきの寿命への影響を取り除くことができる。

【 0 0 6 5 】

ここで、ノーマリーオン型とノーマリーオフ型の分類を下記の（表 1）にまとめておく。

【 0 0 6 6 】

【表 1】

	「忘れる」の実現方法		「思い出す」の実現方法	
	p-MOSFET	n-MOSFET	p-MOSFET	n-MOSFET
タイプ	ノーマリーオフ		ノーマリーオン	
動作	オン → オフ		オフ → オン	
注入／リーク	電子	正孔	正孔	電子

【 0 0 6 7 】

ノーマリーオフ型は、ゲートに電荷が注入される前はオフ状態である。ここに電荷を注入し、オン状態にしておく。リーク電流によってゲートに注入した電荷が抜けていき、出力信号（ I_D ）が時間と共に減少する。図 1 5（a）のグラフにその様子が示してある。時間 τ_1 でチャネルが反転し、信号が減少する様子が表されている。ゲートに注入するのは、pMOSFETタイプなら電子、nMOSFETタイプなら正孔である。これは、「寿命 τ_1 で忘れる」という機能を実現する。

【 0 0 6 8 】

ところで、この説明は 1 ビットを想定しているのでチャネル反転により寿命 τ_1 を定義している。実際には、 τ_1 のバラツキを避けるため、上述したように複数のビットを並列して使用する。このとき、寿命 τ_1 は上述した方法で参照信号 I_0 を用いて改めて決定することになる。

【 0 0 6 9 】

ノーマリーオン型は、予めチャネルに不純物を拡散し、ゲートに電荷が注入される前でもオン状態である。ここに電荷を注入し、オフ状態にしておく。リーク電流によってゲートに注入した電荷が抜けていき、出力信号（ I_D ）が時間と共に増大する。図 1 5（b）のグラフにその様子が示してある。時間 τ_2 でチャネ

ルが反転し、信号が急激に増大する様子が表されている。ゲートに注入するのは、pMOSFETタイプなら正孔、nMOSFETタイプなら電子である。これは、「寿命 τ_2 で思い出す」という機能を実現する。

【0070】

ところで、この説明は1ビットを想定しているので、チャネル反転により寿命 τ_2 を定義している。実際には、 τ_2 のバラツキを避けるため、上述したように複数のビットを並列して使用する。このとき、寿命 τ_2 は上述した方法で参照信号 I_0 を用いて改めて決定することになる。

【0071】

続いて、ノーマリーオン型とノーマリーオフ型を直列接続してみよう。例えば、図16にその断面図を示す。図中の161はSTI (Shallow Trench Isolation), 162はソース・ドレイン領域、163はフローティングゲート、164は制御ゲート、165は層間絶縁膜、166はA1配線を示している。

【0072】

中央A1等の配線でつないだSTIの左側に寿命 τ_2 のノーマリーオン型のエージングデバイスを配置し、右側に寿命 τ_1 のノーマリーオフ型のエージングデバイスを配置する。図に示すように、STIを跨ぐ配線で両デバイスは直列接続されている。 $\tau_2 < \tau_1$ という条件を満たすとき、図15(c)のグラフに示すように出力信号の時間変化が凸型になる。

【0073】

ところで、この説明で用いた τ_1 , τ_2 のばらつきを避けるため、実際には上述したように並列したセルと参照信号 I_0 の組合せによって τ_1 , τ_2 を決定する。具体的には、図17に示したように、ノーマリーオン型のセルを並列接続して τ_2 を決定し、ノーマリーオフ型のセルを並列接続して τ_1 を決定し、両者を直列接続することによって実現する。なお、図中の171はノーマリーオン型のセル、172はノーマリーオフ型のセル、173はSTI、174は配線、175は共通ソース、176は共通ドレインを示している。

【0074】

次に、ノーマリーオン型とノーマリーオフ型を並列接続してみよう。基本構成

は前記図 8 と同様であり、図 1 8 に示すように、ノーマリーオン型のエージングデバイス 1 8 1 の N 個と、ノーマリーオフ型のエージングデバイス 1 8 2 の M 個が並列接続される。上述した並列と参照信号から寿命を決定し、それぞれノーマリーオン型の寿命を τ_2 、ノーマリーオフ型の寿命を τ_1 と記述すると、 $\tau_1 < \tau_2$ という条件を満たすとき、図 1 5 (d) のグラフに示すように出力信号の時間変化が凹型になる。

【 0 0 7 5 】

このように本実施形態によれば、第 1 の実施形態と同様の効果が得られるのは勿論のこと、ノーマリーオン型とノーマリーオフ型のエージングデバイスを組み合わせることによって、スタートから一定時間経過後に ON し、ON してから一定時間経過後に OFF、又はその逆の動作を実現することができる。即ち、信号を出力する期限を設けたり、信号を出力させない期限を設けたりすることができる。

【 0 0 7 6 】

(第 3 の実施形態)

次に、電子タイマーの実現方法について、二つの方法を説明する。

【 0 0 7 7 】

電子タイマーの第 1 の実現方法は、前記図 8 及び図 1 1 に示すように、並列接続されたセルの出力信号 (I_D) が時間と共に変化する性質を利用する。出力信号を読み取るにはセンスアンプを動かす必要があり、このときだけ電源に接続する必要がある。読み取りをしない間は、リーク電流によってゲートに注入した電荷が徐々に失われるので、時刻 τ_1 で読み取りをしたときの出力信号 I_1 と、その後時刻 τ_2 で読み取りをしたときの出力信号 I_2 は異なっている。

【 0 0 7 8 】

ノーマリーオフ型の場合、 I_1 は I_2 より大きく、信号が時間と共に減少することになる。反対に、ノーマリーオン型の場合、 I_1 は I_2 より小さく、信号が時間と共に増大することになる。このように、読み取る度に観測される出力信号の時間変化から時間を測定すればよい。読み取りを行わない間は電源を必要としないので、電源の要らない集積化できる電子タイマーが実現できる。

【0079】

電子タイマーの第2の実現方法は、特開平10-261786号公報に開示されている周波数カウンタ装置の周波数を時間に置き換えるだけで実現できる。図19を用いて具体的に説明する。まず、寿命 $\tau_1, \tau_2, \dots, \tau_n$ を持つノーマリーオフ型エージングデバイスをN個準備する。 $\tau_1, \tau_2, \dots, \tau_n$ の各々のばらつきを抑えるため、上述した並列方式と参照信号 I_0 を用いる。即ち、図19に示したエージングデバイスは、並列化された複数のセルから構成する。

【0080】

次に、 $\tau_1 < \tau_2 < \dots < \tau_n$ を満たすものとする。ここで、1番目のエージングデバイスからm番目のエージングデバイスまでがオン状態であり、m+1番目のエージングデバイスからN番目のエージングデバイスまでがオフ状態であるとき、この電子タイマーは τ_m と τ_{m+1} の間の時刻を指すことになる。

【0081】

このような方法は、集積化できるエージングデバイスによって初めて実現できる。また、ノーマリーオン型を用いた場合、オンとオフを入れ替えれば同様である。

【0082】

並列化されたエージングデバイス（経時変化回路）の各出力信号を検知するためにはセンス回路が必要であるが、例えば経時変化回路毎にセンス回路を設けておき、各々の経時変化回路の出力信号を同じ信号レベルと比較するようにすればよい。ここで、各センス回路においては、経時変化回路の各出力信号を異なる信号レベルと比較することも可能である。特に、N個の経時変化回路の最短寿命と最長寿命の差をN等分した時間間隔で時刻を刻むような場合、各々の経時変化回路の寿命を厳密に制御することが難しく、これを補正するために比較する信号のレベルを調整すればよい。これらのセンス回路や信号レベルを記録するメモリはデコーダに内蔵されており、上述した処理は全てデコーダの中で行われる。

【0083】

また、電子タイマーの最も簡便な利用方法は、エージングフラッグを立てることである。これは、センスアンプで出力信号を読み取ったとき、参照信号 I_0 よ

り大きい小さいかによってフラッグを立てるようにすればよい。

【 0 0 8 4 】

構成方法は、図 2 0 に示した通りであり、並列化したエージングデバイスを用いればよい。図中の 2 0 1 はエージングデバイス、2 0 5 は共通ソース、2 0 6 は共通ドレイン、2 1 1 はセンスアンプ、2 1 2 はファーム、2 1 3 は CPU を示している。このように、バッテリーの要らない集積化できる構成でエージングフラッグを立てることができる。

【 0 0 8 5 】

具体的には、複数のエージングデバイス 2 0 1 の合算出力をセンスアンプ 2 1 1 で検出し、合算出力が所定レベルとなった時点でセンスアンプ 2 1 1 からフラッグを出力する。そして、このフラッグに応じてファーム 2 1 2 を動作させることにより、CPU 2 1 3 に電子タイマーによる設定時間が経過したことを知らせることができる。なお、ファーム 2 1 2 は必ずしも必要ではなく、センスアンプ 2 1 1 の出力を直接 CPU 2 1 3 に与えるようにしても良い。

【 0 0 8 6 】

(第 4 の実施形態)

チップ間の製造ばらつきは、同一ロット内より異なるロット間の場合大きくなることが予想される。同一ロット内で参照信号 I_0 を低くすることによって制御することができても、ロットが異なる場合はそれができない可能性がある。

【 0 0 8 7 】

図 2 2 (a) は、チップ間の製造誤差によるビット毎のドレイン電流に対する度数分布を表している。図 2 2 (b) は、このような分布を持つビットを合算したドレイン電流の時間変化を表している。図 2 2 (b) 中の破線は (a) の高電流側 (右) にシフトした分布に対応し、実線は (a) の低電流側 (左) にシフトした分布に対応している。時間が経ち電流レベルが減少するに従い、破線と実線が近づいている。両分布の平均値のずれが小さければ、 I_0 を十分低く取ることによって寿命を制御することが可能だが、両分布の平均値のずれが大きいとき高精度の寿命制御を要求すると I_0 をノイズレベルまで下げねばならず、実現不可能となる。

【0088】

このような厳しい条件をクリアするためには、もう一段の工夫が必要である。図23(a)(b)を用いてトリミングの考え方を説明する。(a)はドレイン電流とビット数との関係を示す図、(b)は(a)の一部を拡大して示す図である。まず、ビット毎のドレイン電流の2つの分布から、両者の平均値で囲まれた部分に対応するビットのドレイン電流のみ合算する。このとき、ドレイン電流のばらつきの原因がトンネル絶縁膜厚のみであると仮定すると、トリミングしたときビット毎のドレイン電流が低い左側のエッジは、厚膜エッジに対応する。逆に右側は薄膜エッジに対応している。厚膜エッジ付近に平均値を持つ分布が実線で、薄膜エッジ付近に平均値を持つ分布が破線になっている。

【0089】

図24(a)(b)は、トリミング前後の合算ドレイン電流の時間変化を比較したもので、(a)はトリミング前、(b)はトリミング後を示している。トリミング後は、高ドレイン電流側の裾野を削り取ってある影響で両分布とも初期電流レベルが低下している。時間の経過と共に薄膜エッジから先に電流が流れなくなり、合算ドレイン電流が急激に減少してくる。この減少の傾きは、薄膜エッジでのビット数に比例しているので、破線の方が急峻である。従って、この減少が始まった後薄膜エッジ側の分布と厚膜エッジ側の分布の合算電流レベルが逆転する。

【0090】

このような逆転は、トリミング前にはノイズレベル程度にまで電流が低下しないと起こらないので、現実的には殆ど生じないと考えて差し支えない。また、トリミング前に電流レベルの減少が緩やかに始まったのは、ビット数の少ない薄膜側の裾野の寿命切れが原因である。更に時間が経過すると、厚膜エッジが寿命切れとなり、両分布とも合算ドレイン電流がノイズレベルまで一気に低下する。これを全体の寿命切れとして定義すれば分布毎のばらつきを更に正確に制御することが可能となる。このとき、参照信号 I_0 は、厚膜エッジでの破線の合算電流レベル (I_A に厚膜エッジでの破線分布のビット数を掛けたもの) より低く、ノイズレベルより高く設定しておけばよい。

【0091】

このようなトリミングを並列化回路の中に実装する方法を、図25に示す。図中の一点鎖線で囲った部分がトリミング回路である。一方、破線円で囲った部分は合算回路である。エージングデバイスのビットを合算する前に、フラッシュメモリと演算回路に直列している。なお、図中の250はトリミング回路、251はエージングデバイス、252はフローティングゲート制御ゲートを有する2層ゲート構成のフラッシュメモリ（トリミング用トランジスタ）、253は演算回路、254は I_A 、 I_B を記憶したメモリ、255はセンス回路、256は参照信号 I_0 を記憶したメモリである。

【0092】

なお、演算回路253は4つの端子を備えており、第1の端子はトリミング用トランジスタ252の拡散層と電氣的に接続され、第2の端子はトリミング用トランジスタ252の制御ゲートと電氣的に接続され、第3の端子はメモリ254と電氣的に接続され、第4の端子は合算回路と接続されている。

【0093】

まず、フラッシュメモリ252に電荷を注入し、オン状態にしておく。実際には、オン状態にする方法は、このフラッシュメモリがノーマリーオン型であるかノーマリーオフ型であるのか、或いはソース・ドレイン領域がn型であるかp型であるのかということによって異なり、その型に応じて電荷（電子や正孔）を注入したり、或いは放出したりして実現する。ここでは、簡単のため、「電荷を注入してオン状態になる」場合のみを用いて説明するが、「電荷を放出してオン状態になる」場合でも本発明の本質は変わらない。勿論、このフラッシュメモリの電荷保持特性はエージングデバイスの寿命より十分長くなければならない。

【0094】

続いて、この演算回路253を用いてエージングデバイス251にドレイン電圧を印加する。そのドレイン電流を演算回路253でセンスし、予め設定しておいた電流レベル I_A 、 I_B と比較する。この I_A 、 I_B は、それぞれ図23で示した厚膜エッジと薄膜エッジの電流レベルである。ここでセンスしたドレイン電流が I_A と I_B の間になればフラッシュメモリ252の制御ゲートに電圧を印

加してオフ状態に変更する。こうして当該ビットを合算できないようにする。このように、フラッシュメモリのしきい値の書き換えによってトリミングを実行するのである。

【 0 0 9 5 】

一方、ここでセンスしたドレイン電流が I_A と I_B の間にあれば、そのまま合算する。合算したものを図 2 5 右側のセンス回路 2 5 5 でセンスし、参照信号 I_0 と比較する。

【 0 0 9 6 】

このトリミング結果の情報を新たに用意したメモリ（磁気メモリ，MRAM，不揮発性メモリ，ROM等）に記憶し、後に合算電流を読み出す際にこの情報を参照するようにしてやれば、トリミング用トランジスタのしきい値の書き換えは必ずしも必要ではない。また、このメモリはトリミング回路内の演算回路に内蔵するかアクセス可能となるように配置することが望ましい。このとき、トリミング用トランジスタは通常のMOSFETでも代用できる。

【 0 0 9 7 】

トリミング結果を記憶するメモリを内蔵した場合の回路図を、図 2 6 に示す。図 2 5 に比べ、フラッシュメモリ 2 5 2 が通常のMOSFET 2 6 2 に代わっているだけで、他は見かけ上全く同様である。トリミング結果を記憶するメモリ 2 6 3 をアクセス可能となるよう配置した回路図を、図 2 7 に示す。ここで、トリミング用トランジスタはバイポーラトランジスタで代用しても差し支えない。この場合、図 4 1 (a) (b) で示すように、エミッタ (E) とコレクタ (C) をエージングデバイス 2 5 1 の出力端子及び演算回路 2 5 3 の第 1 の端子に接続し、ベース (B) を演算回路 2 5 3 の第 2 の端子に接続することが望ましい。勿論、エミッタとコレクタを逆にしても良い。

【 0 0 9 8 】

また、しきい値を書き換える代わりに、トリミング回路 2 5 0 内の演算回路 2 5 3 の電氣的接続を切断しても同様の効果が得られる。切断するところは、主に 3 箇所である。第 1 の切断箇所は、図 2 8 に示すように、トリミング用トランジスタ 2 6 2 のゲート（バイポーラトランジスタの場合はベース）と演算回路 2 5

3の第2の端子との間の接続である。第2の切断箇所は、図29に示すように、トリミング用トランジスタ262の出力端子（バイポーラトランジスタの場合はエミッタ若しくはコレクタ）と演算回路253の第1の端子との間の切断である。第3の切断箇所は、図30に示すように、演算回路253の第4の端子と出力を合算する合算回路までの間である。前記3つの切断箇所のうち、何れか一つでも良いし、2つでも良いし、更には3つでも良い。図30では、他の回路図（図25～29）と同様に、単純に並列した部分が合算回路を構成している。図28～30において、切断箇所は抵抗265で表記した。

【0099】

切断された抵抗265を破線円で囲うと、図28から図30で示した切断は、図面上一番上の演算回路253のみであるが、実際には、図面上のどの演算回路253に関して切断されるのか、又は、その切断される演算回路253の個数に関してはトリミング結果に応じて決定する。また、これらの切断には、エレクトロマイグレーションや、出荷前にレーザで焼き切る方法を用いることができる。エレクトロマイグレーションの場合、図28、29、30において抵抗265は極細線を用いることが望ましい。また、切断する場合、トリミング用トランジスタを省略することもできる。この場合、切断箇所は、図42に示すように2箇所である。実際に切断するのはいずれか一方でも良いし、両方でも良い。

【0100】

また、図43に示すように、エージングデバイス251の拡散層とトリミング用トランジスタの拡散層はそれぞれ共有することが望ましい。また、エージングデバイス251とトリミング用トランジスタの両方としてフラッシュメモリ型の2層ゲートトランジスタを使用した場合、エージングデバイス251のトンネル絶縁膜厚がトリミング用トランジスタのトンネル絶縁膜厚より薄いことが望ましい。

【0101】

また、 I_A と I_B は、必ずしも、それぞれの分布の平均値である必要はなく、本発明の効果が得られる限り必要に応じ I_A と I_B を調整して経時変化特性を制御することができる。特に、トリミングされた合算ドレイン電流がノイズレベル

まで一気に低下する時間、即ちエージング回路の寿命は、 I_A を用いて調整することができる。このとき、エージング回路の寿命を並列されたエージングデバイスの寿命の平均値より短くすることもできる。これもトリミングの効果の一つである。

【0102】

さて、トリミングを使った寿命制御に重要なものは厚膜エッジであり、薄膜エッジは必ずしも必要ではない。以下では、薄膜エッジを省略したトリミングの方法について図面を用いて説明する。

【0103】

まず、図31に薄膜エッジを無視したトリミングの概念を示してある。(a)はビット毎のドレイン電流に対する度数分布を示し、(b)は(a)の一部を拡大して示している。左側に平均値がシフトした分布(実線)の平均値のところを厚膜エッジとし、右側に平均値がシフトした分布を破線で示してある。

【0104】

この場合のトリミング前後における合算ドレイン電流の時間変化を比較した結果を図32(a)(b)に示す。(a)がトリミング前、(b)がトリミング後である。薄膜エッジがないため、高電流側の裾野が合算されており、初期電流レベルはトリミング前と殆ど変わらない。時間と共に緩やかに電流レベルの減少が始まるが、これも高電流側の裾野の影響である。更に時間が経ち、厚膜エッジが寿命切れを起こした瞬間一気に合算電流がノイズレベルまで低下する。ここでは薄膜エッジを用いたときのような電流レベルの反転は起こらない。このとき全体の寿命が来たと定義する。

【0105】

このような、薄膜エッジを省略したトリミング回路の実装方法を図33に示す。図中の290はトリミング回路、291はエージングデバイス、292はフラッシュメモリ(トリミング用トランジスタ)、293は演算回路、294は I_A を記憶したメモリ、295はセンス回路、296は I_0 を記憶したメモリである。メモリ294に I_B がない以外は図25と同様であるので、動作についての詳しい説明は省略する。

【 0 1 0 6 】

更に、前記図 2 6、2 7 と同様に、トリミング結果の情報を新たに用意したメモリ（磁気メモリ、MRAM、不揮発性メモリ、ROM等）に記憶し、後に合算電流を読み出す際にその情報を参照するようにしてやれば、トリミング用トランジスタのしきい値の書き換えは必ずしも必要ではない。また、このメモリはトリミング回路内の演算回路に内蔵するかアクセス可能となるように配置することが望ましい。このとき、トリミング用トランジスタは通常のMOSFET、若しくはバイポーラトランジスタでも代用できる。また、しきい値を書き換える代わりに、前記図 2 8 ～ 3 0 のようにトリミング用トランジスタとトリミング回路内の演算回路の電氣的接続を切断しても同様の効果が得られる。この切断には、エレクトロマイグレーションや、出荷前にレーザで焼き切る方法を用いることができる。また、この切断を用いる場合、図 4 2 のように、トリミング用トランジスタを省略することもできる。

【 0 1 0 7 】

トリミング結果を記憶するメモリを内蔵した場合の回路図を、図 3 4 に示す。図 3 3 に比べ、フラッシュメモリ 2 9 2 が通常のMOSFET 3 0 2 に代わっているだけで、他は見かけ上全く同様である。また、図 2 6 と比べても、メモリ 2 5 4 から I_B を削除してメモリ 2 9 4 に変更しただけである。従って、図 2 7 ～ 3 0 の対応するメモリ（2 5 4）からも I_B を取り除いたのと同じ実施例が可能である。また、それぞれについて、図 4 1 に示したバイポーラトランジスタを用いることが可能である。これらについては説明が重複するので省略する。

【 0 1 0 8 】

最後に、参照信号 I_0 及び厚膜エッジ I_A 、薄膜エッジ I_B を調整する方法（チューニング法）について述べる。以下では I_0 を例にとって述べるが、 I_A 、 I_B でも同様である。図 3 5 にその構成を示す。図中の 3 1 1 はエージングデバイス、3 1 2 はセンス回路、3 1 3 はメモリを示している。センス回路 3 1 2 で入力信号をセンスし、それが I_0 より高ければ 1 を出力し、 I_0 より低ければ 0 を出力するというのが I_0 の利用方法であり、 I_0 をどのように記憶するかが問題である。

【0109】

最も簡単なものはROMを使ったものであるが、これでは製造後にチューニングができない。ここで、メモリ313としてフラッシュメモリを使用すれば、製造後もチューニングができるようになる。フラッシュメモリを用いたチューニングの方法を図36に示す。これは、フローティングゲート（FG）に注入した電荷量でチャネル抵抗を調節するものである。勿論、このフラッシュメモリの電荷保持特性はエージングデバイスの寿命より十分長くなければならない。

【0110】

しかしながら、この方法ではエージングデバイスとしてフラッシュメモリ型のセルを採用した場合、エージングデバイスのトンネル酸化膜とフラッシュメモリのトンネル酸化膜の両方を作り分けねばならず、コストが割高になる。そこで、図37に示すような並列微細線を用いた方法も実用的である。まず、センス回路312を用いて電圧Vを印加すると、センス回路312でセンスされる電流 I_0 は以下の式で表される。但し、 $r_1 \sim r_N$ は抵抗値である。

【0111】

$$I_0 = V/r_1 + V/r_2 + \dots + V/r_N$$

製造後、エレクトロマイグレーションやレーザで細線のうちどれかを焼き切る。例えば、それをN番目の細線だとすると、電流 I_0 は以下の式で表されるように変化する。

【0112】

$$I_0 = V/r_1 + V/r_2 + \dots + V/r_{N-1}$$

このようにして、製造後に I_0 をチューニングすることができる。

【0113】

そのほか、製造前にチューニングする方法として、図38に示した拡散層を用いる方法や、図39に示したゲートクランプを応用する方法もある。拡散層を用いた例（図38）では、拡散層濃度でチューニングする。ゲートクランプを用いた例（図39）では、チャネル抵抗でチューニングすることができる。

【0114】

（変形例）

なお、本発明は上述した各実施形態に限定されるものではない。上述したエージングデバイスを構成要素にした全ての実施形態は、ビット毎の寿命のばらつきを正確に制御できる製造プロセスがあれば、1ビットのエージングデバイスを構成要素に置き換えて実現できるものである。現状の製造技術では極めて困難であるが、将来においては実現できる可能性が残っている。

【0115】

本発明で主張するエージングデバイスとは、信号をセンスするときのみ電源と接続するが、それ以外は電源と切断された状態で出力信号が経時変化する性質を用いたものであり、この特質のため、オフライン状態で稼働する経時変化デバイスであり、そのような性質を持つ集積可能な半導体装置全般である。また、本発明は、このようなエージングデバイスの経時変化特性のばらつきを制御する半導体集積回路に関するものである。

【0116】

また、第1、第4の実施形態においては、主にノーマリーオフ型のエージングデバイスを用いて説明してきたが、ノーマリーオン型のエージングデバイスを用いても同様の効果が得られる。

【0117】

また、第1の実施形態においては、エージングデバイスを並列接続したが、並列のみに限らず図21に示すように接続することも可能である。即ち、複数のエージングデバイスを直列接続し、この直列接続の複数個を並列接続している。直列接続部が1個のみでは、不良セル等の影響でばらつきが生じるが、直列接続部を複数個並列接続することにより、ばらつきを抑制することが可能となる。このとき、エージング回路の寿命が、回路を構成するエージングデバイスの寿命の平均値より短くなる傾向がある。また、そのように参照信号 I_0 を調節することが望ましい。勿論、直列部を1個のエージングデバイスと見なすこともできる。また、上述したトリミング法を用いた場合、 I_A の調節具合によっては反対にエージング回路の寿命を、回路を構成するエージングデバイスの寿命の平均値よりも長くすることも可能である。

【0118】

また、エージングデバイスの構成は、2層ゲート構成のEEPROMに限るものではなく、図5、図6に示したものは勿論のこと、電源と切断された状態で出力信号が時間と共に変化するデバイスであれば何でも用いることが可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0119】

【発明の効果】

以上詳述したように本発明によれば、エージングデバイスを用いることにより、集積化が可能でバッテリーの要らない電子タイマーを実現することができ、しかも複数のエージングデバイスを並列接続して用いることにより、不良ビットの混入や構造パラメータのばらつきが寿命に与える影響を抑制することができ、トリミングすることによって寿命の制御性を更に向上し、オフライン状態且つバッテリーレス状態で稼働する電子タイマー時間の制御性を高めることができる。

【図面の簡単な説明】

【図1】

エージングデバイスの基本構成を示す図。

【図2】

エージングデバイスの基本構成を実現する第1の具体例を示す図。

【図3】

図2の構成がエージングデバイスとしての機能を有することを説明するための模式図。

【図4】

図2のエージングデバイスの出力信号の経時変化を示す図。

【図5】

エージングデバイスの基本構成を満たす第2の具体例を示す図。

【図6】

エージングデバイスの基本構成を満たす第3の具体例を示す図。

【図7】

膜厚ばらつきのビット数密度を示す図。

【図 8】

エージングデバイスを並列に接続した構成を示す図。

【図 9】

ドレイン電流特性と寿命との関係を示す図。

【図 1 0】

全体の寿命を決定する工程を示す図。

【図 1 1】

並列接続されたエージングデバイスを分散配置した例を示す図。

【図 1 2】

不純物濃度がゲートリーク電流に影響を及ぼすことを示す図。

【図 1 3】

エージングデバイスを直列接続した場合に不良ビットが寿命を支配することを示す図。

【図 1 4】

スターリングの公式が成り立つNの値を示す図。

【図 1 5】

各種のエージングデバイスの出力信号を示す図。

【図 1 6】

所定の時間のみオン状態となるエージングデバイスのセル断面を示す図。

【図 1 7】

所定の時間のみオン状態となるエージングデバイスを上から見た図。

【図 1 8】

所定の時間のみオフ状態となるエージングデバイスを上から見た図。

【図 1 9】

エージングデバイスによる電子タイマーの第2の実現例を示す図。

【図 2 0】

エージングフラッグの実現方法を示す図。

【図 2 1】

エージングデバイスの直列接続を並列に接続した様子を示す図。

【図 2 2】

チップ間の製造誤差によるビット毎のドレイン電流に対する度数分布と、このような分布を持つビットを合算したドレイン電流の時間変化を示す図。

【図 2 3】

トリミングの概念を示す図。

【図 2 4】

トリミング前後の合算ドレイン電流の時間変化を比較して示す図。

【図 2 5】

トリミングを並列化回路の中に実装した回路構成を示す図。

【図 2 6】

トリミングを並列化回路の中に実装した回路構成の別の例を示す図。

【図 2 7】

図 2 6 の改良で、トリミング結果を記憶するメモリをアクセス可能となるように配置した例を示す図。

【図 2 8】

図 2 6 の改良で、トリミング結果に応じて切断されるヒューズ（抵抗）を備えた例を示す図。

【図 2 9】

図 2 6 の改良で、トリミング結果に応じて切断されるヒューズ（抵抗）を備えた例を示す図。

【図 3 0】

図 2 6 の改良で、トリミング結果に応じて切断されるヒューズ（抵抗）を備えた例を示す図。

【図 3 1】

薄膜エッジを無視したトリミングの概念を示す図。

【図 3 2】

トリミング前後における合算ドレイン電流の時間変化を比較して示す図。

【図 3 3】

薄膜エッジを省略したトリミング回路の実装例を示す図。

【図 3 4】

薄膜エッジを省略したトリミング回路の別の実装例を示す図。

【図 3 5】

参照信号の利用方法を説明するための回路構成を示す図。

【図 3 6】

フラッシュメモリを用いたチューニングの方法を示す図。

【図 3 7】

並列微細線を用いたチューニングの方法を示す図。

【図 3 8】

拡散層を用いたチューニングの方法を示す図。

【図 3 9】

ゲートクランプを用いたチューニングの方法を示す図。

【図 4 0】

トンネル絶縁膜厚ばらつきがゲートリーク電流に与える影響を示す図。

【図 4 1】

トリミング用トランジスタとしてバイポーラトランジスタを用いた例を示す図。

【図 4 2】

トリミングのためのヒューズ（抵抗）を 2 箇所にした例を示す図。

【図 4 3】

エージングデバイスの拡散層とトリミング用トランジスタの拡散層を共有化した例を示す図。

【符号の説明】

1 1 …機能領域

1 2 …機能変化センス部

1 3 …入力部

1 4 …出力部

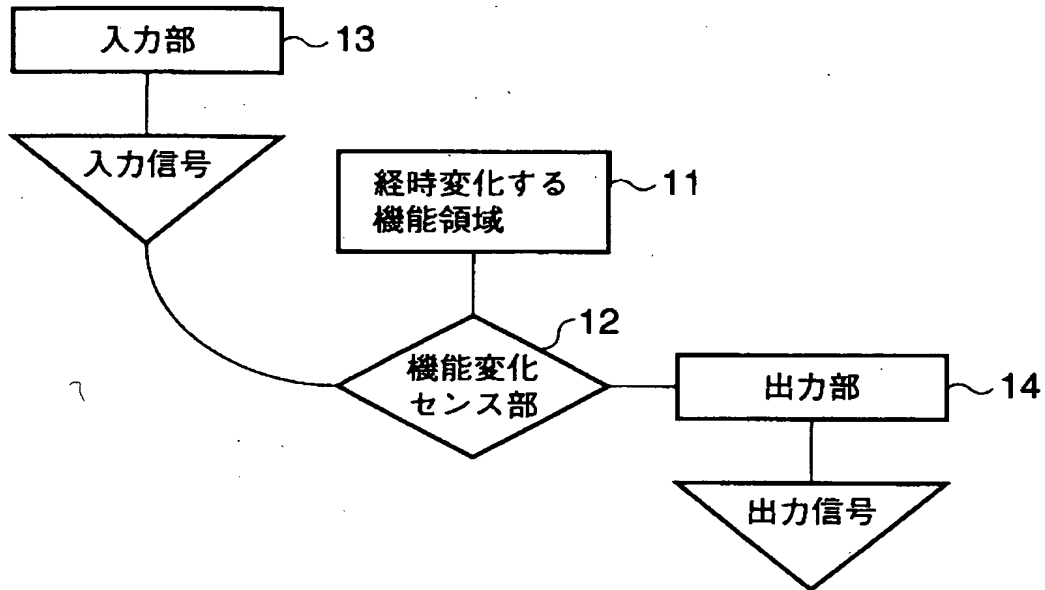
2 0, 5 0 …S i 基板

2 1, 5 1 …ソース領域

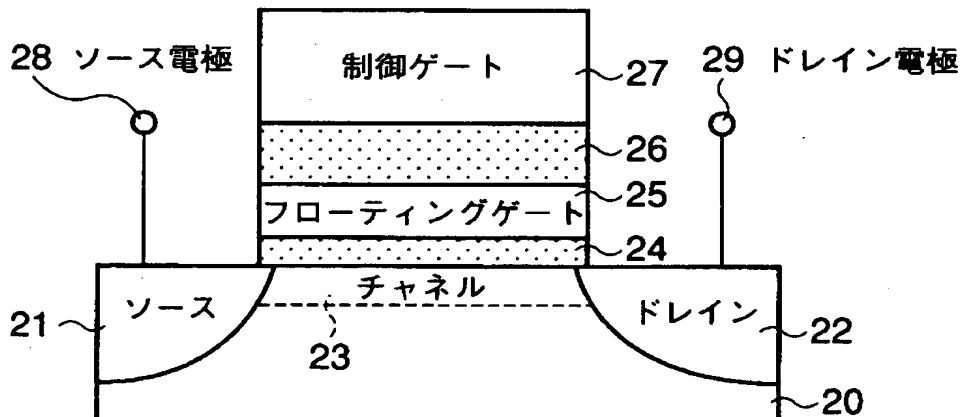
2 2, 5 2 …ドレイン領域
2 3, 5 3 …チャネル
2 4, 5 4 …トンネル絶縁膜
2 5 …浮遊ゲート
2 6 …絶縁膜
2 7, 5 5 …制御ゲート
2 8, 5 8 …ソース電極
2 9, 5 9 …ドレイン電極
5 6 …p n 接合
5 7 …ショットキー接合
8 1, 1 1 1, 2 0 1 …エージングデバイス
8 2, 1 7 5, 2 0 5 …共通ソース
8 3, 1 7 6, 2 0 6 …共通ドレイン
1 1 0 …チップ
1 1 2 …デコーダ
1 6 1, 1 7 3 …S T I
1 6 2 …ソース・ドレイン領域
1 6 3 …フローティングゲート
1 6 4 …制御ゲート
1 6 5 …層間絶縁膜
1 6 6, 1 7 4 …A 1 配線
1 7 1, 1 8 1 …ノーマリーオン型のセル
1 7 2, 1 8 2 …ノーマリーオフ型のセル

【書類名】 図面

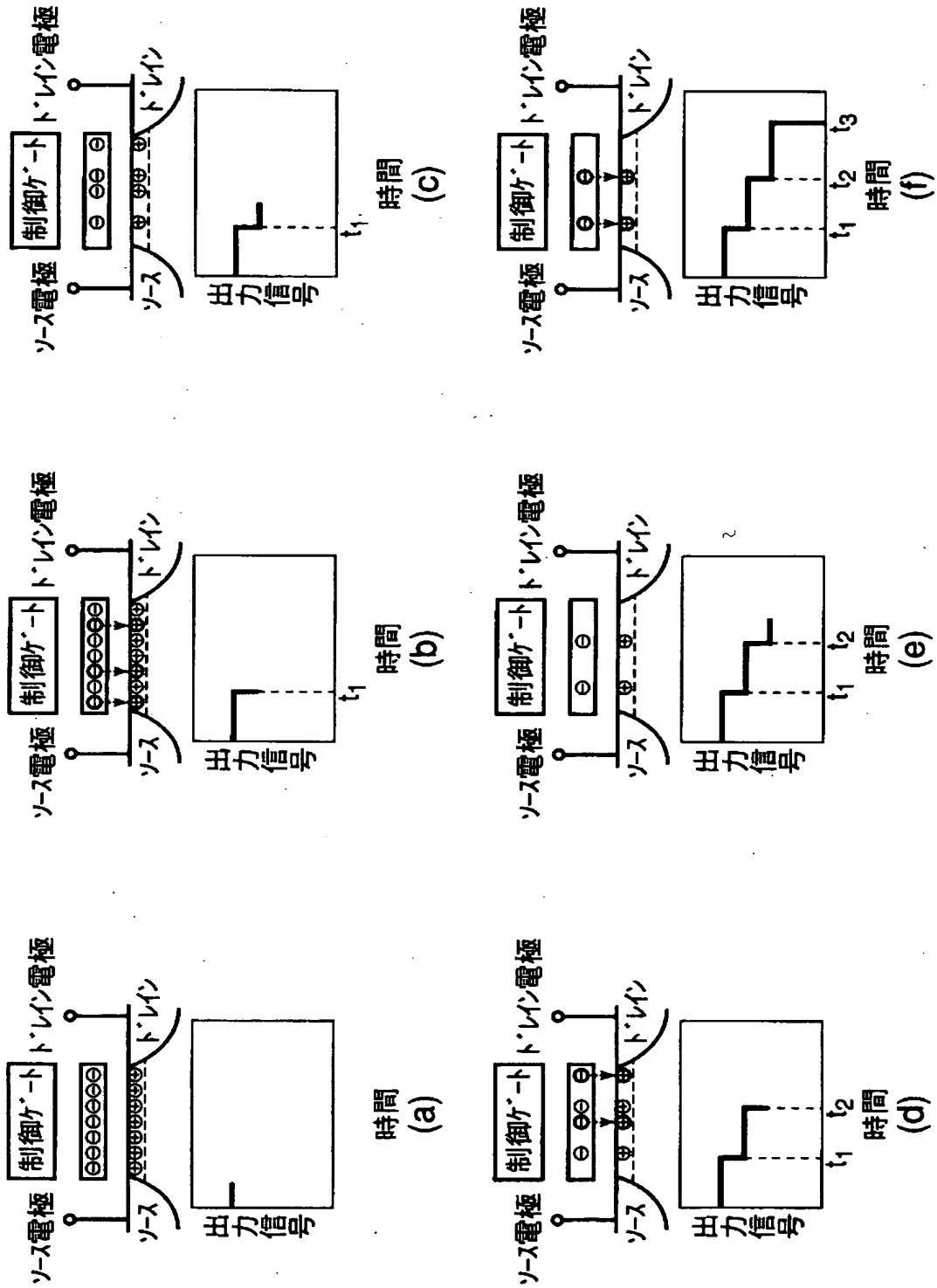
【図 1】



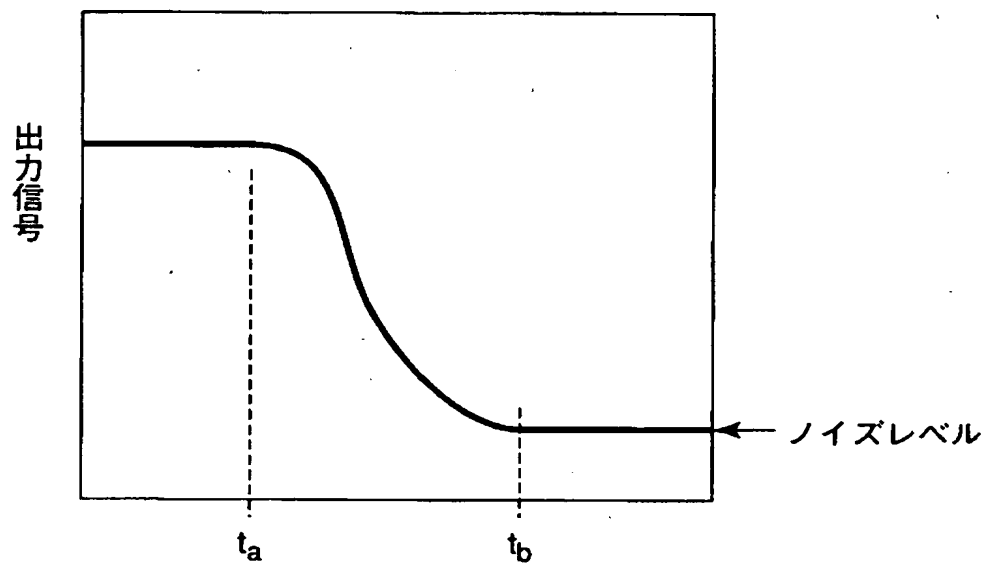
【図 2】



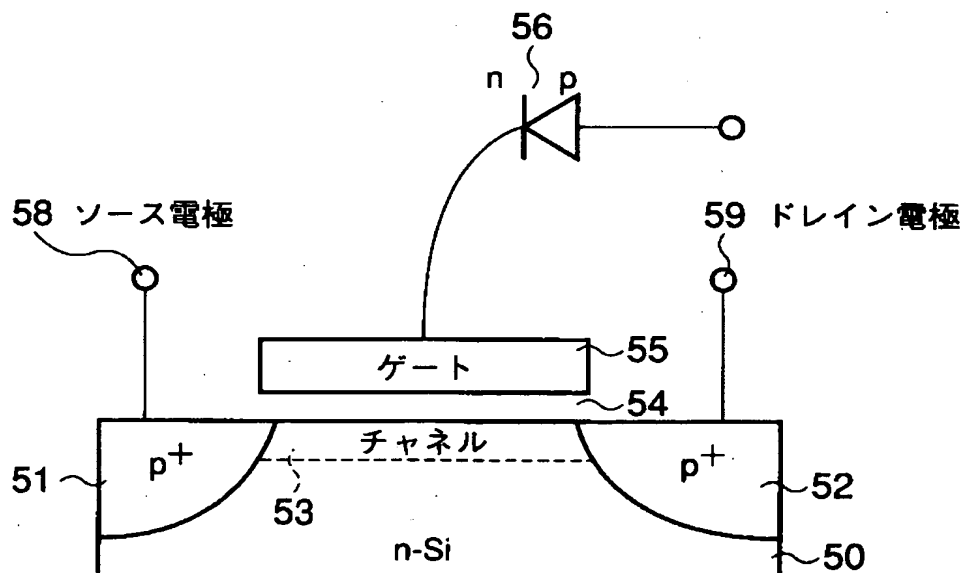
【図 3】



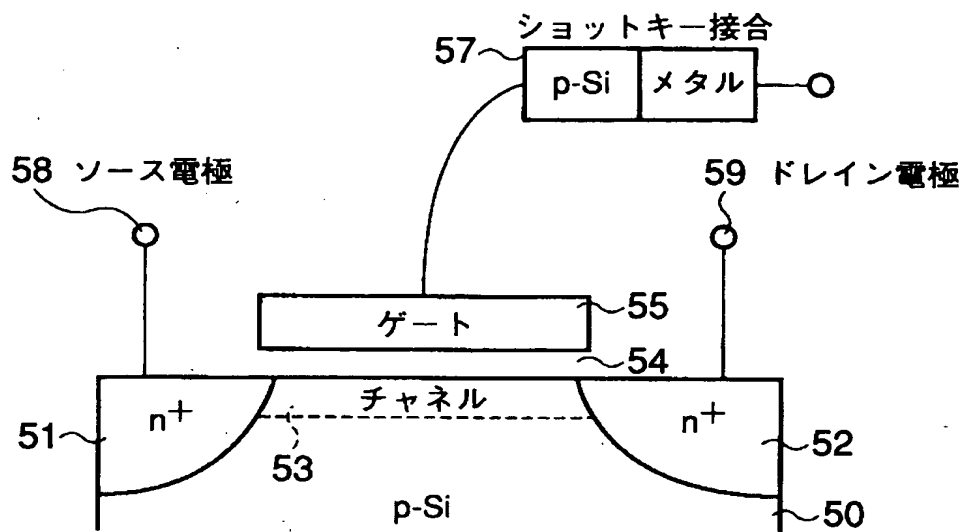
【図4】



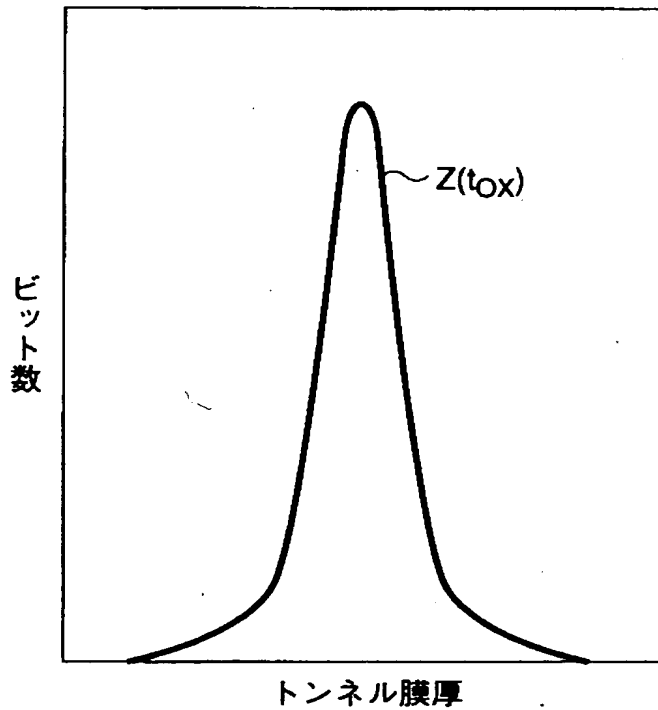
【図5】



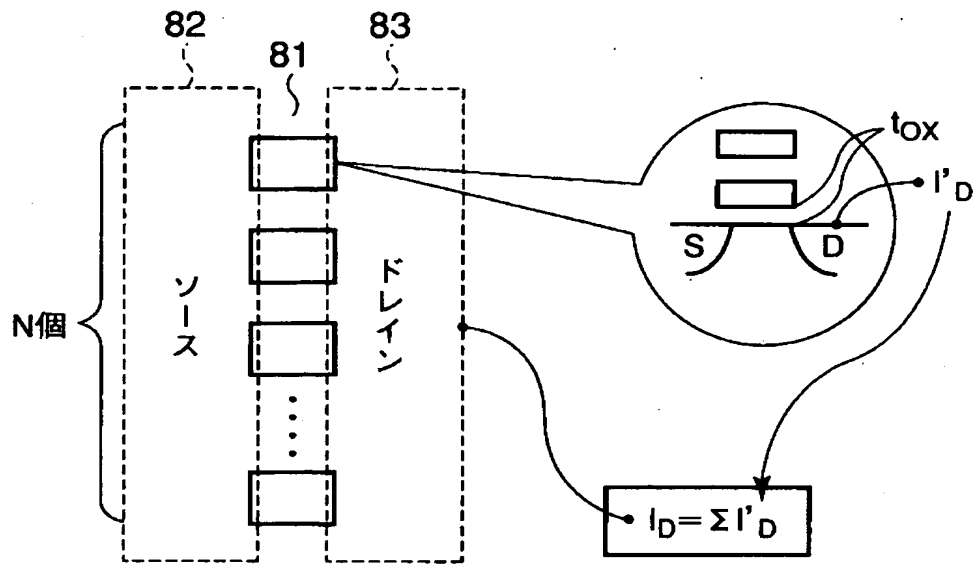
【図 6】



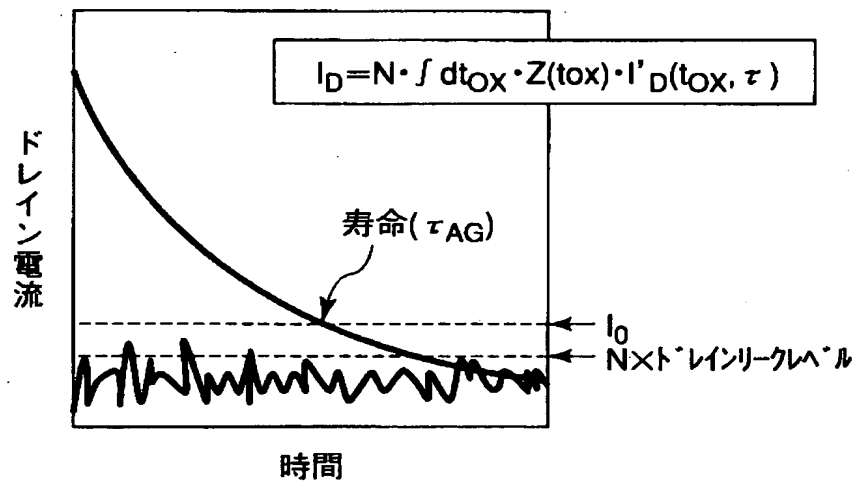
【図 7】



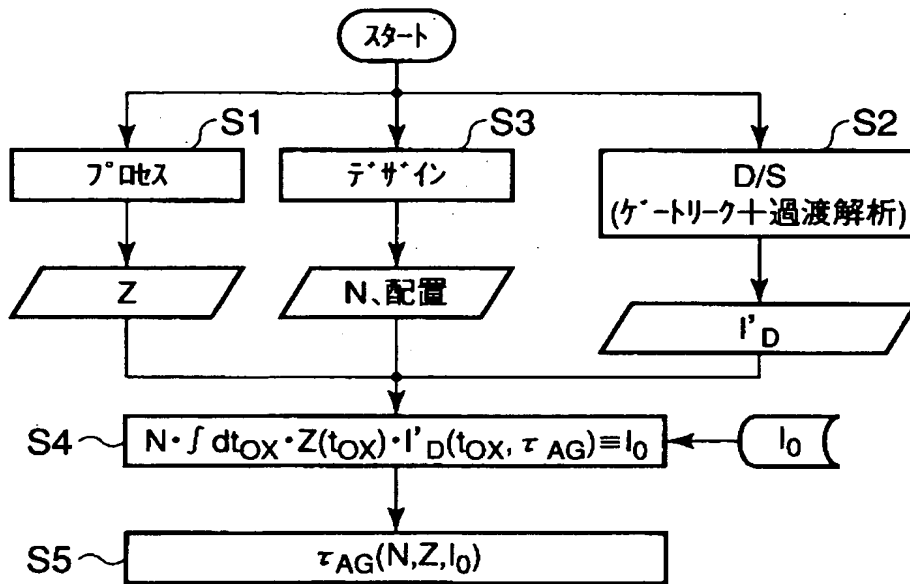
【図 8】



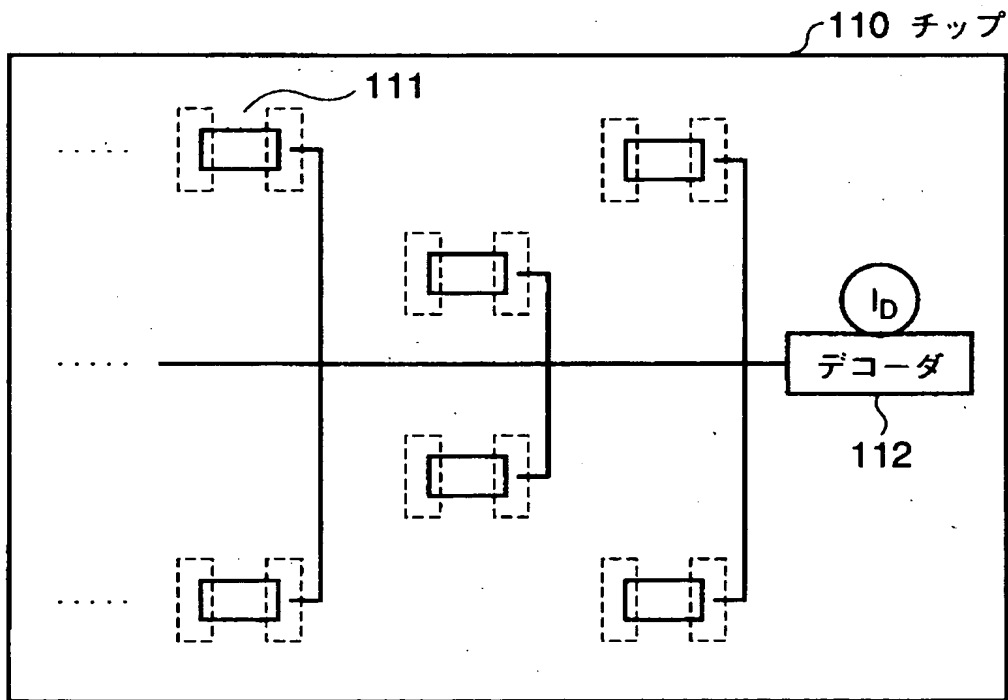
【図 9】



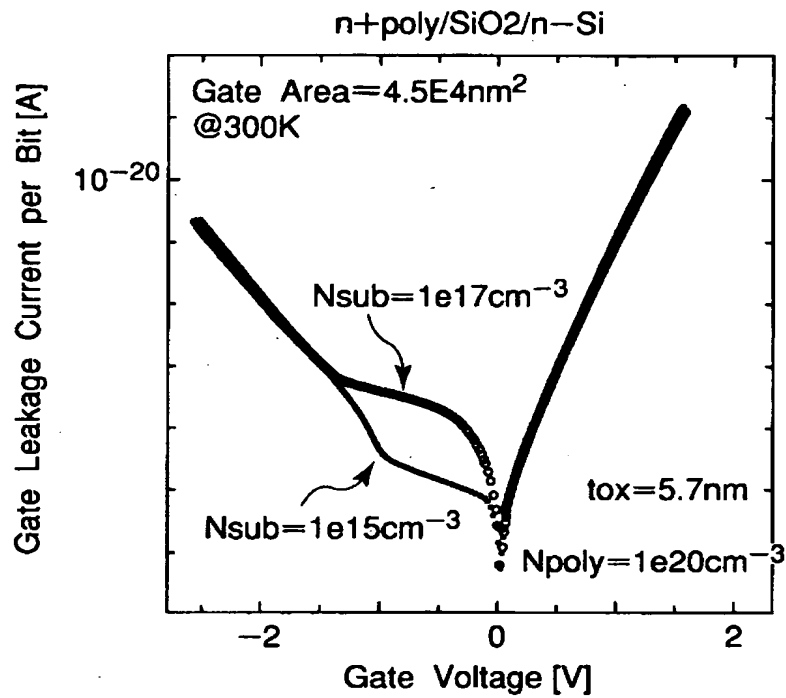
【図 10】



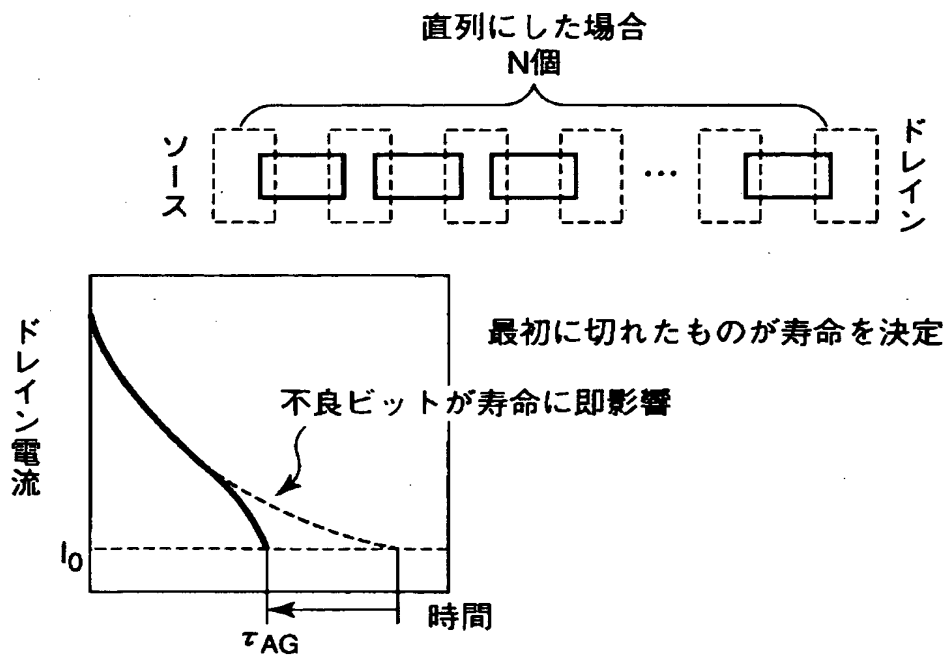
【図 11】



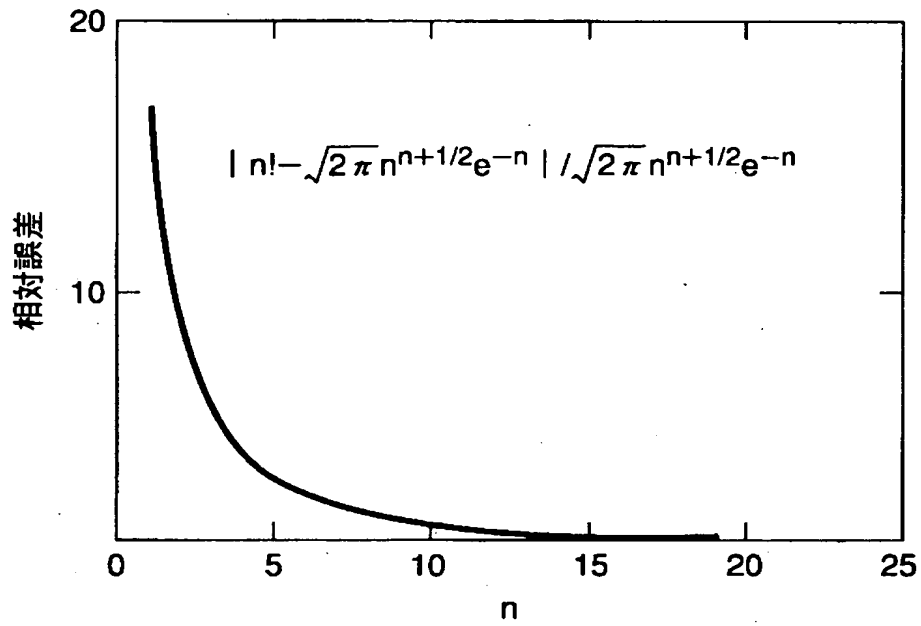
【図 1 2】



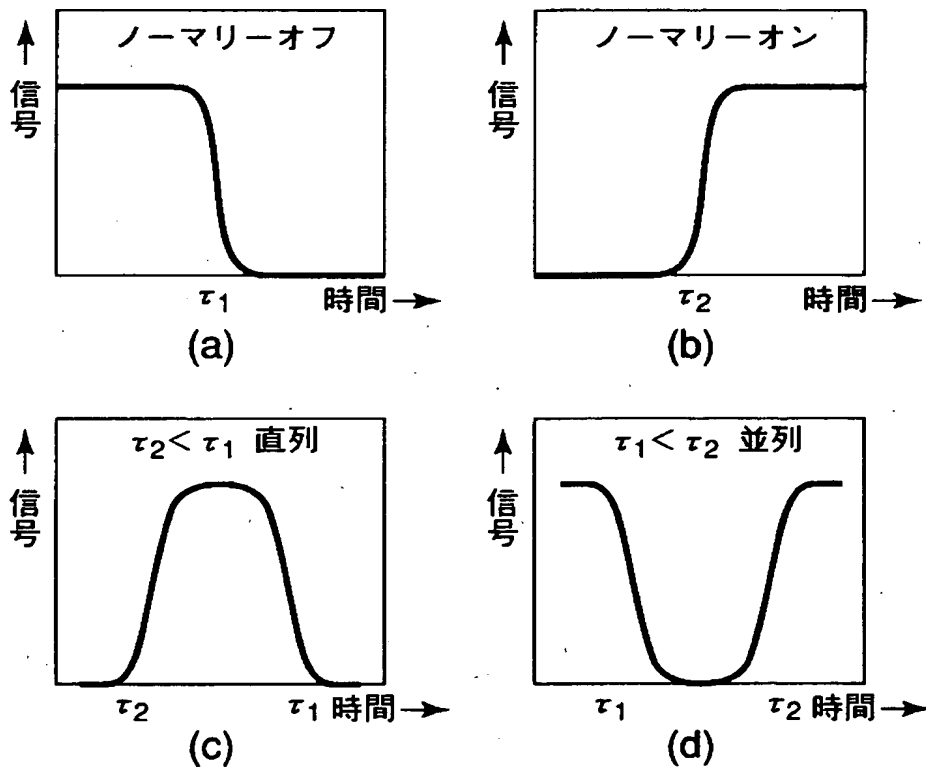
【図 1 3】



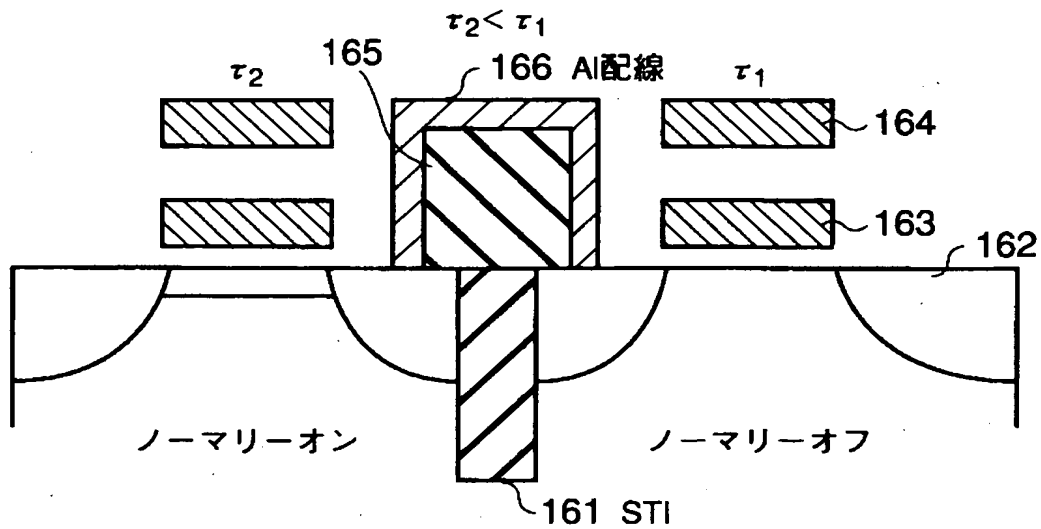
【図 1 4】



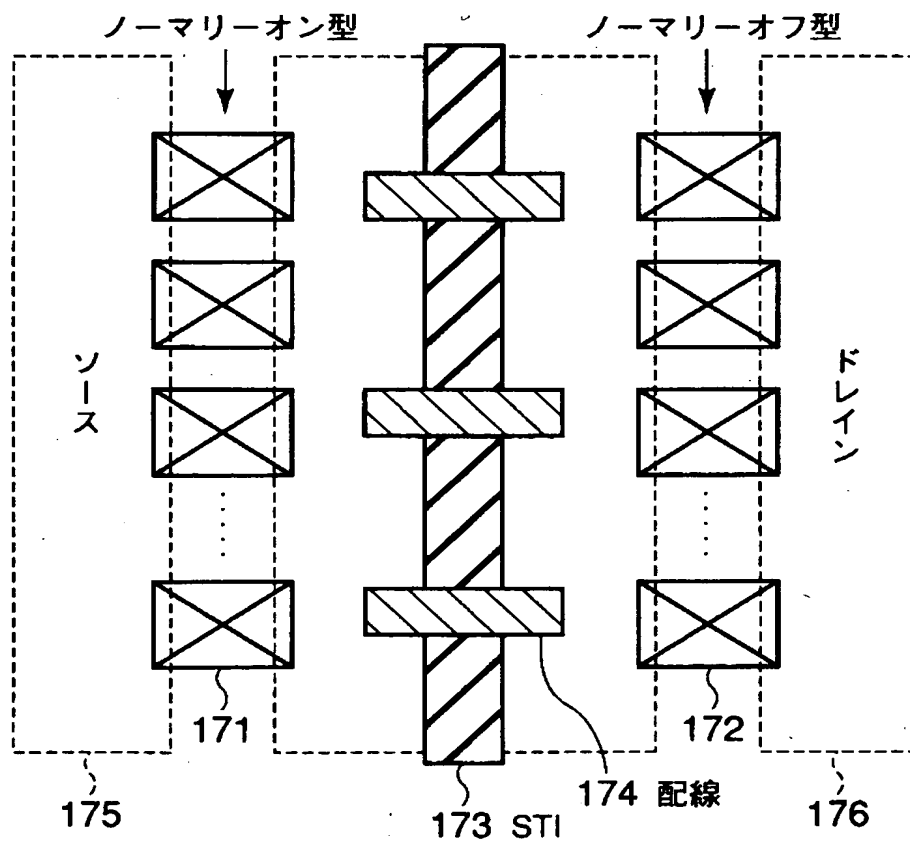
【図 1 5】



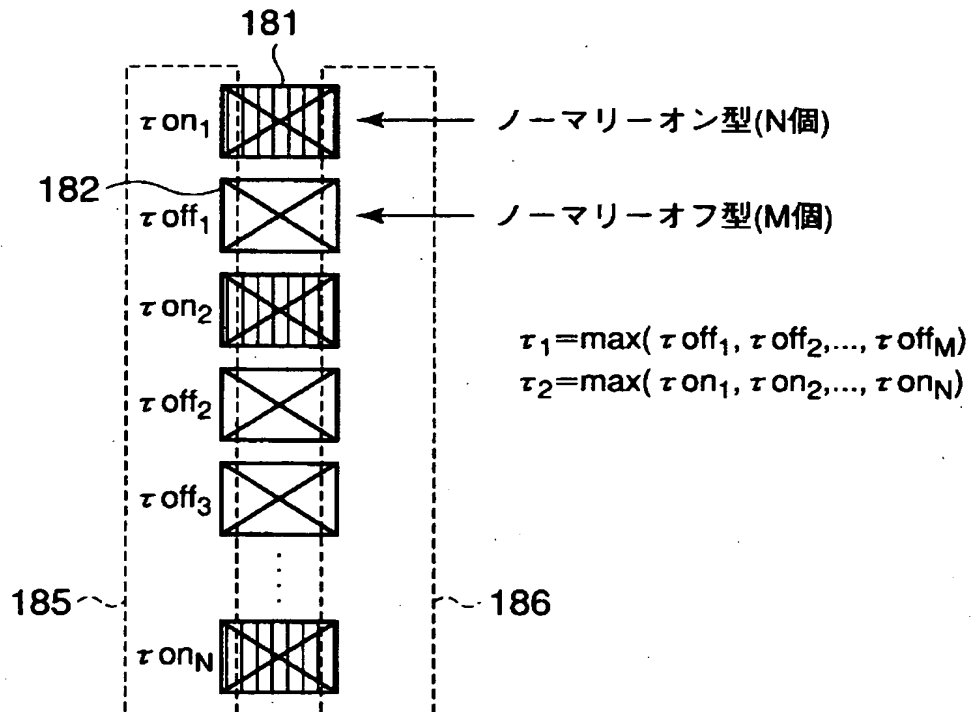
【図16】



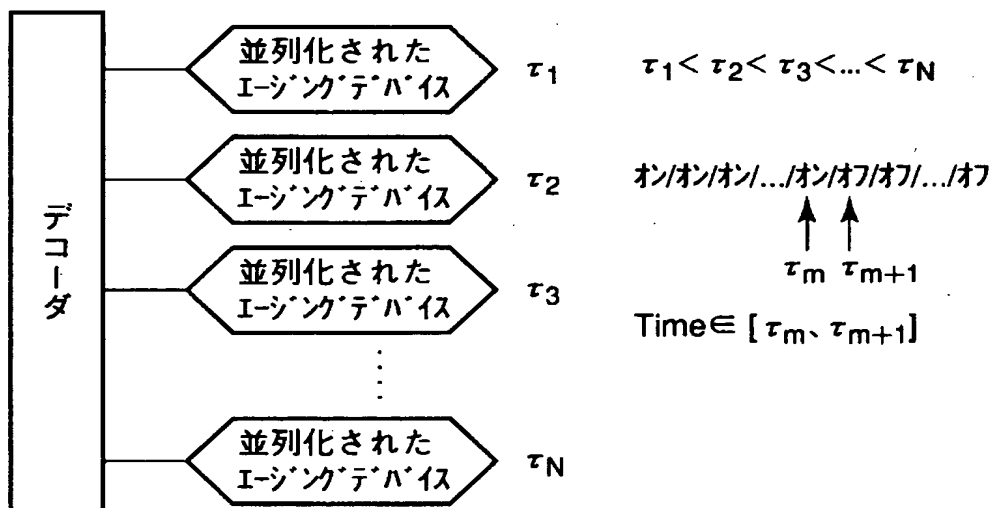
【図17】



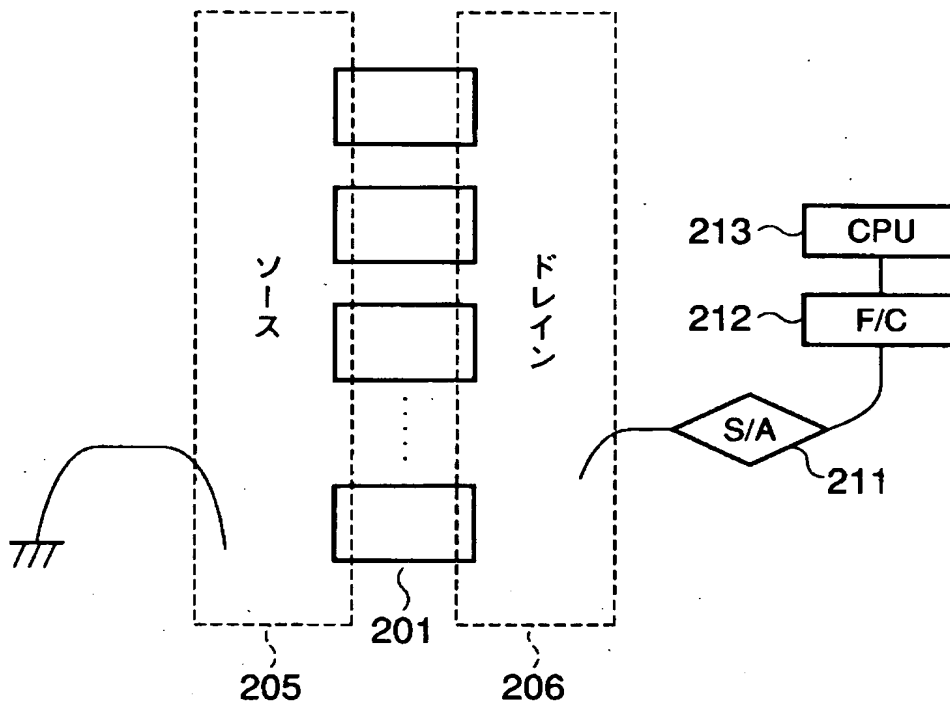
【図 1 8】



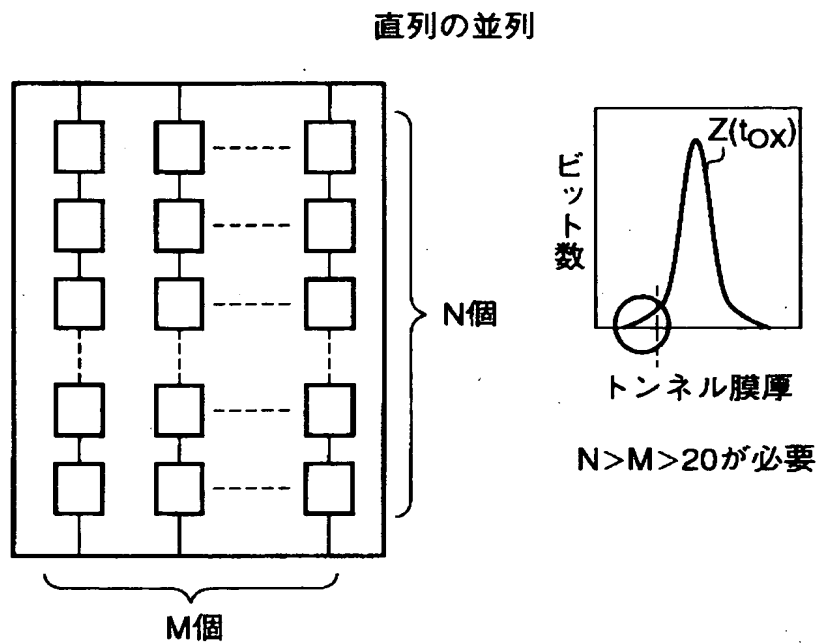
【図 1 9】



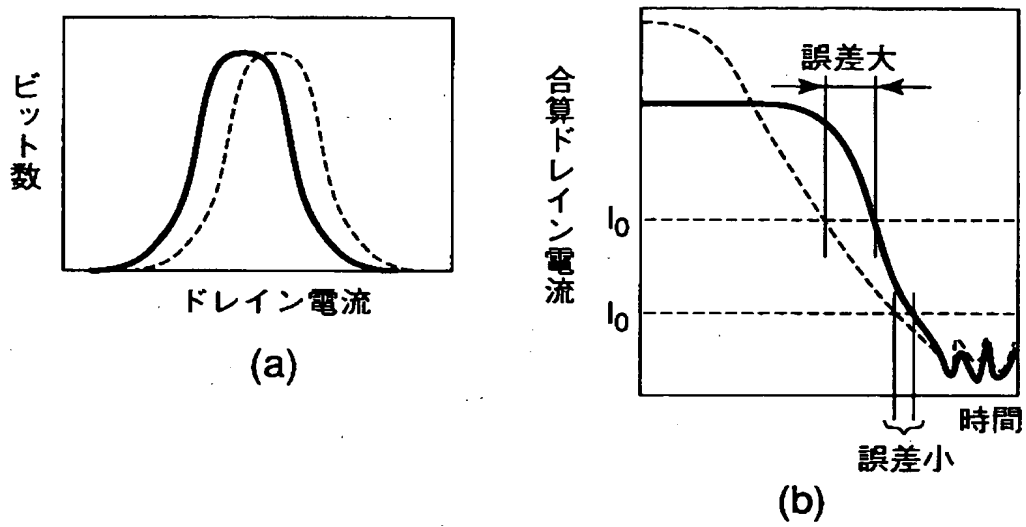
【図20】



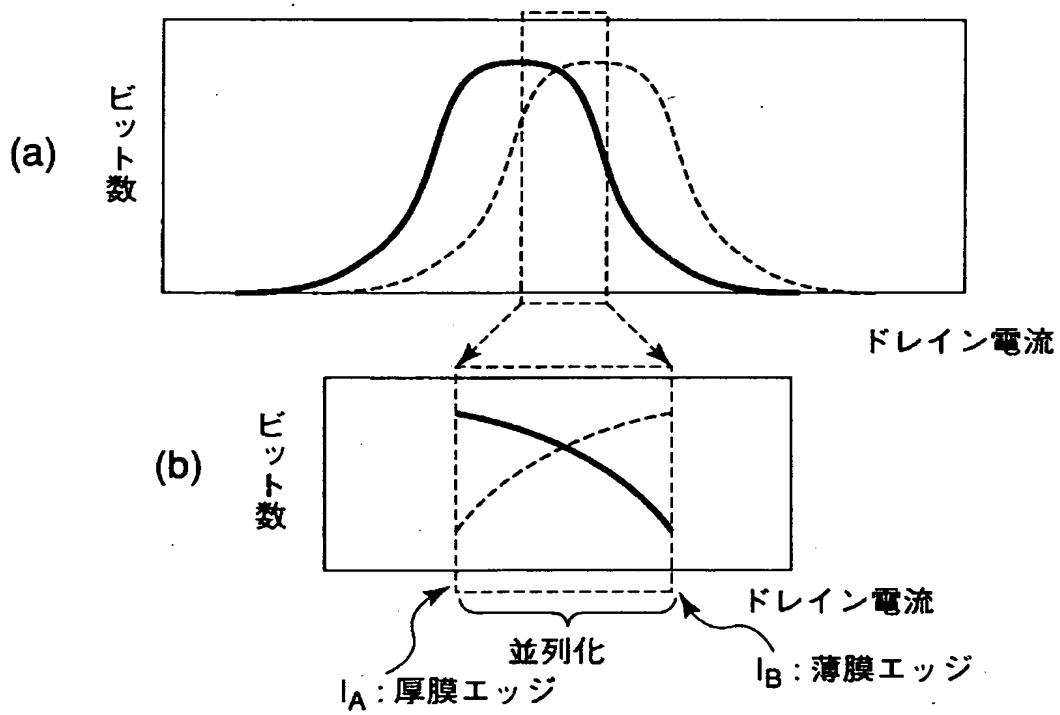
【図21】



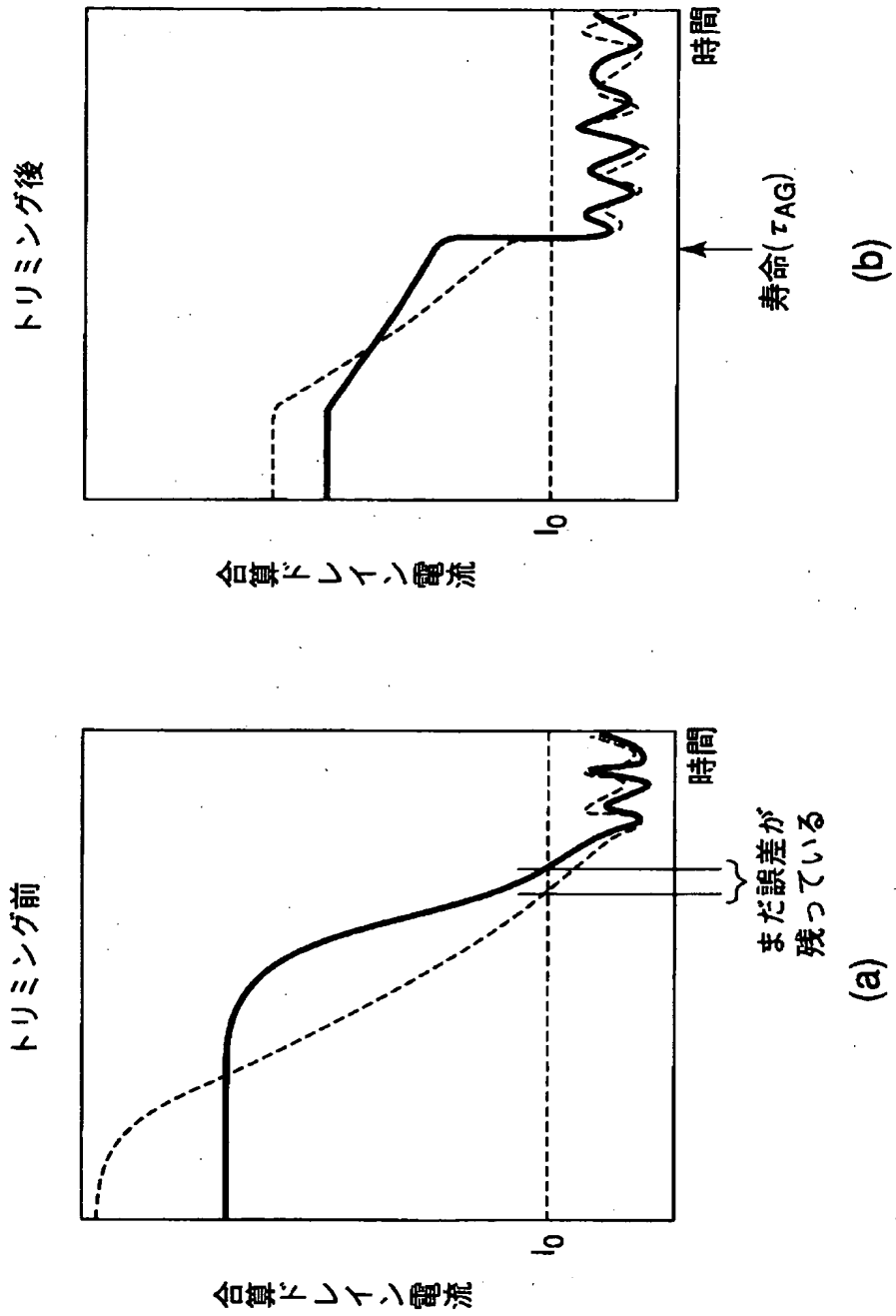
【図 22】



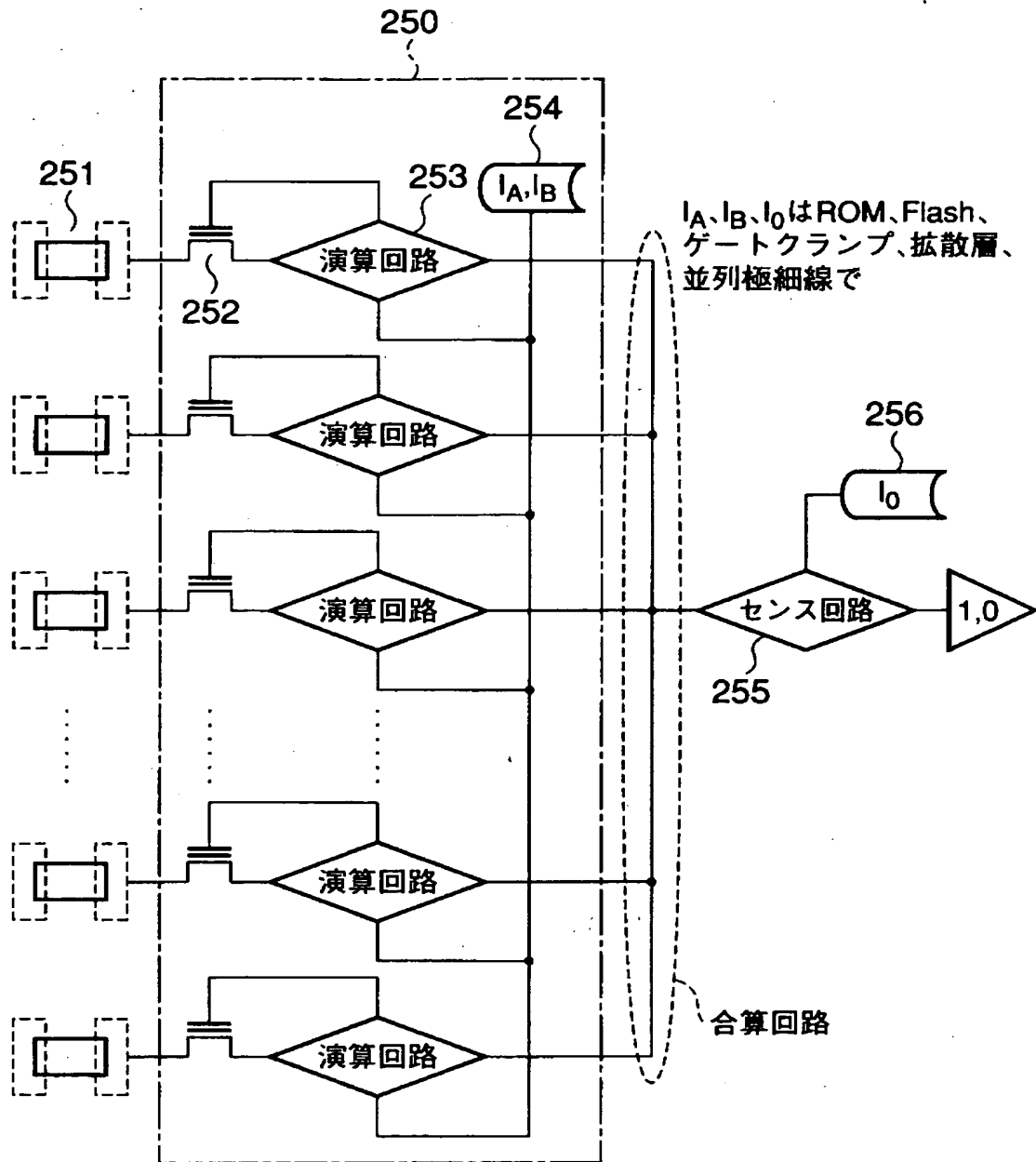
【図 23】



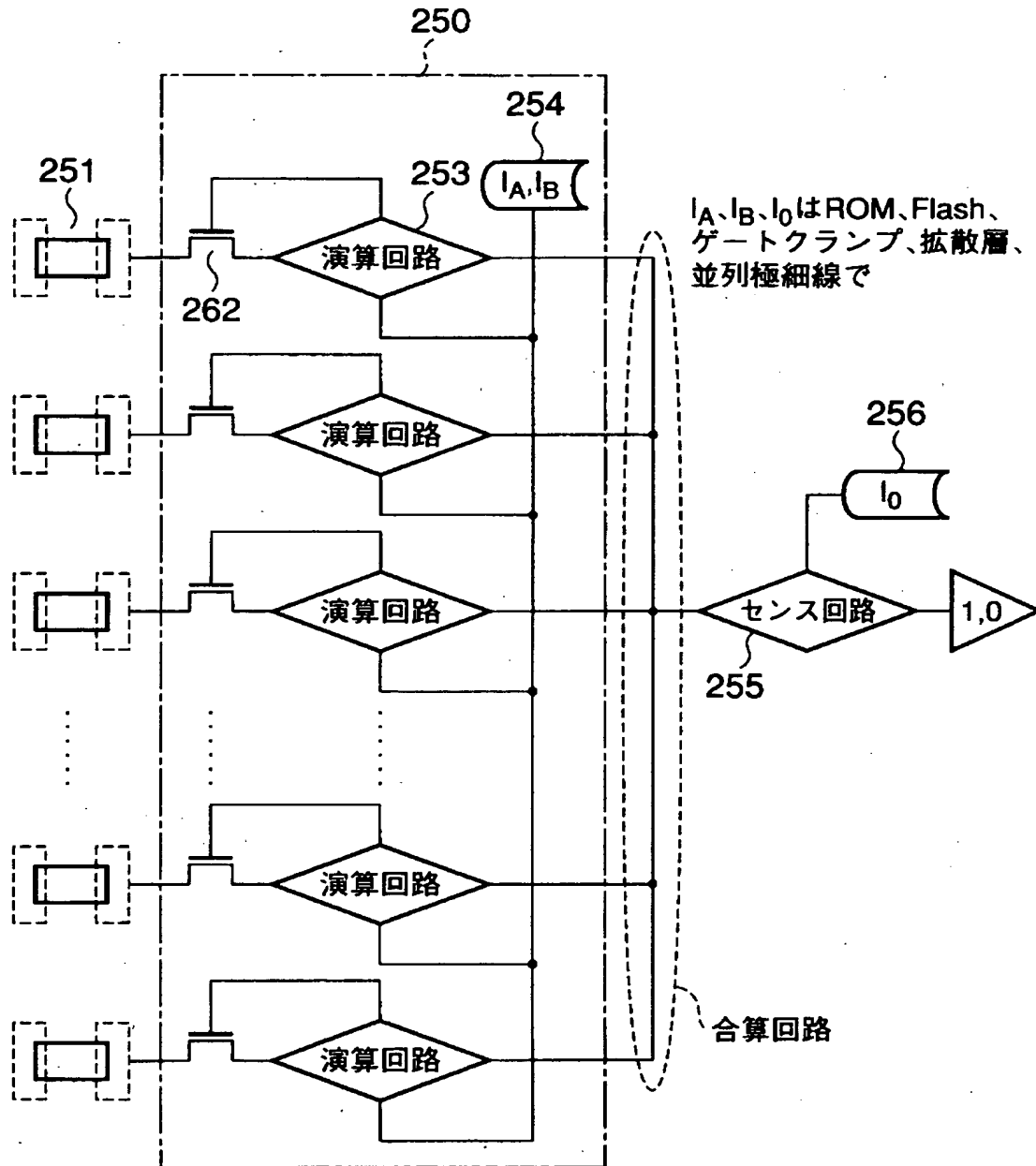
【図 24】



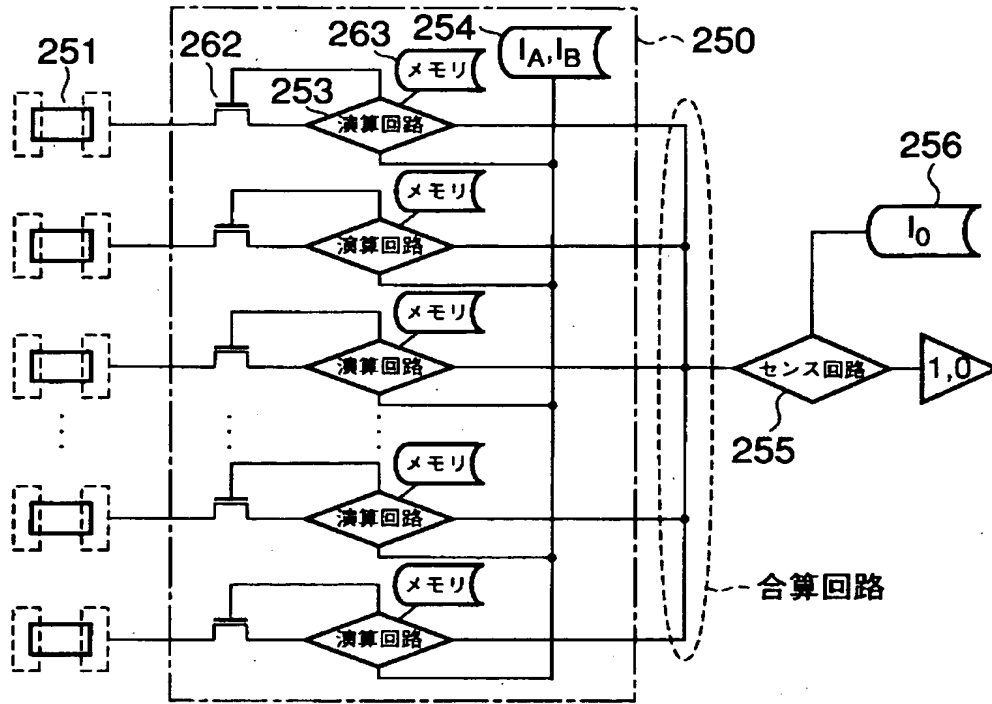
【図 2 5】



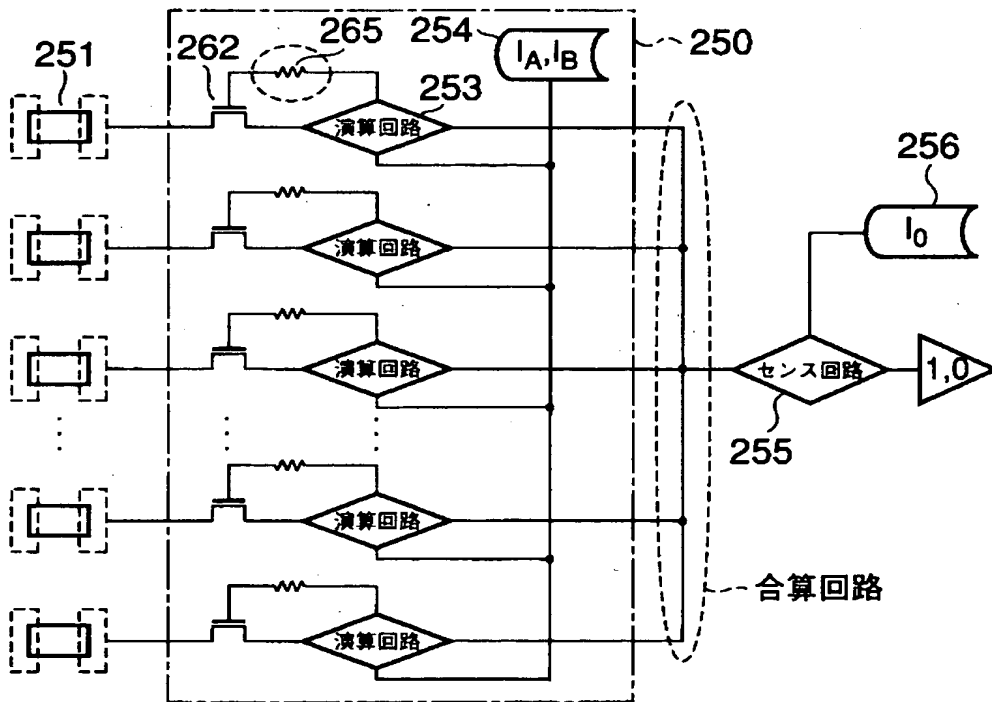
【図 26】



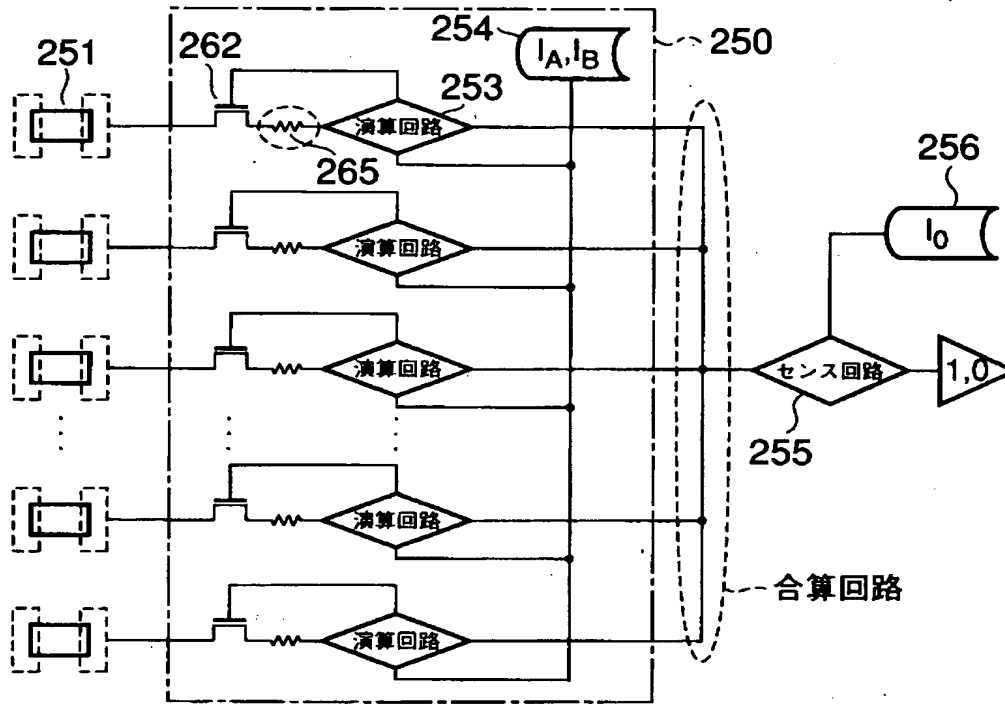
【図 27】



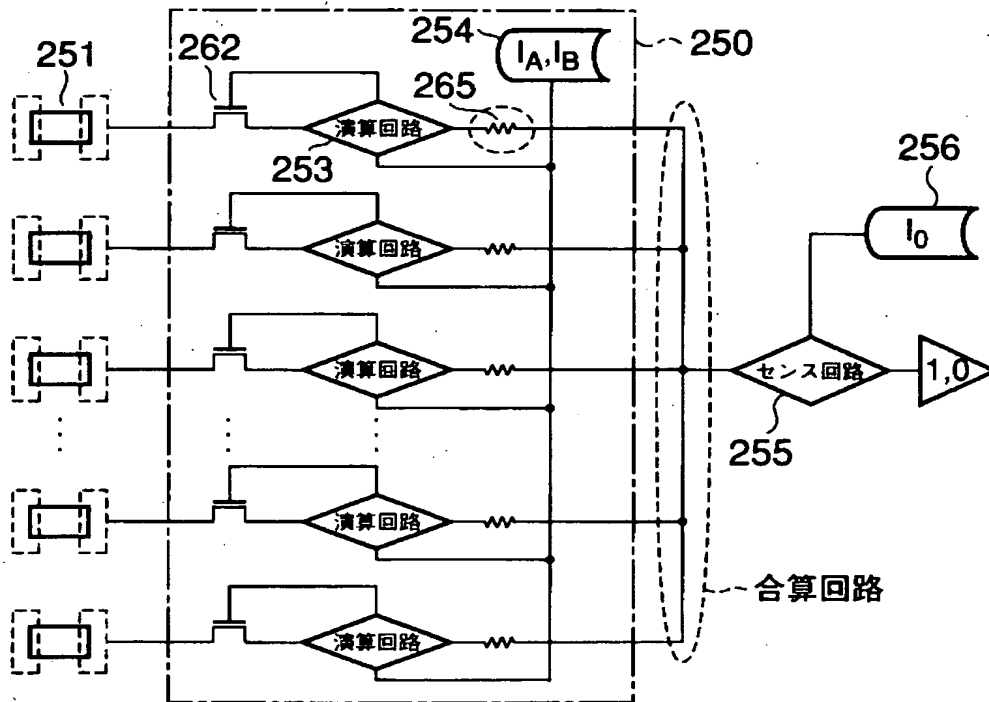
【図 28】



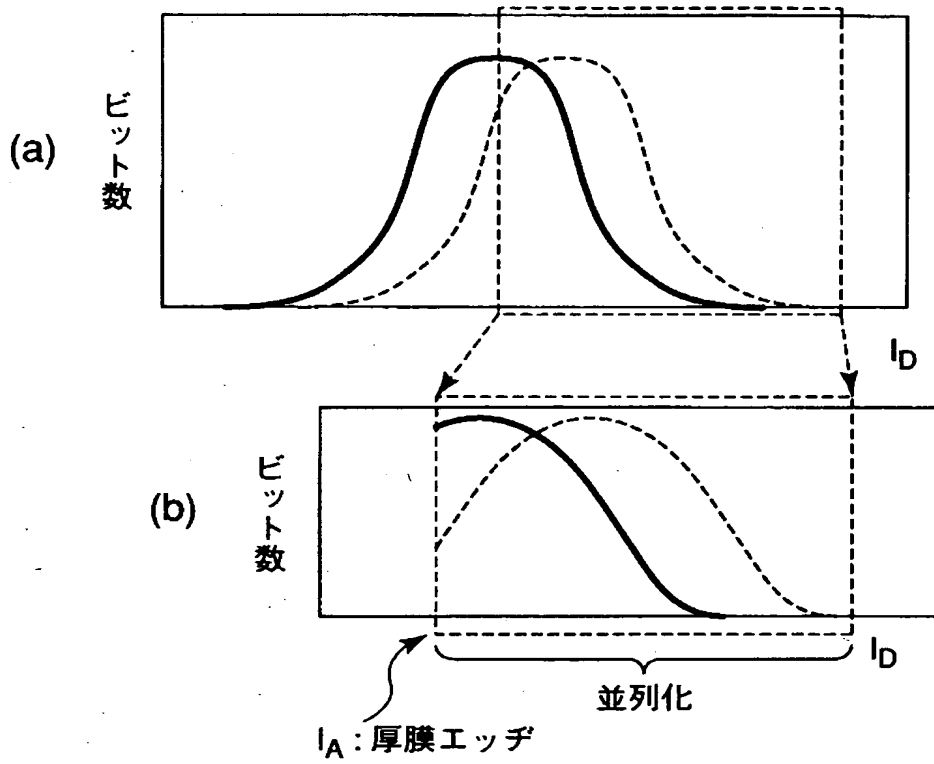
【図 29】



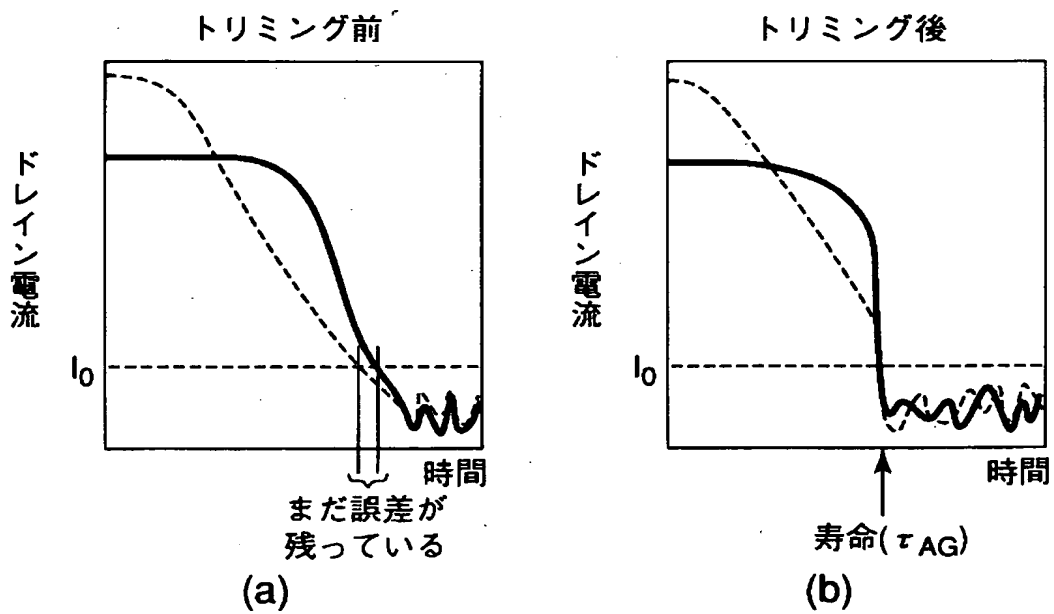
【図 30】



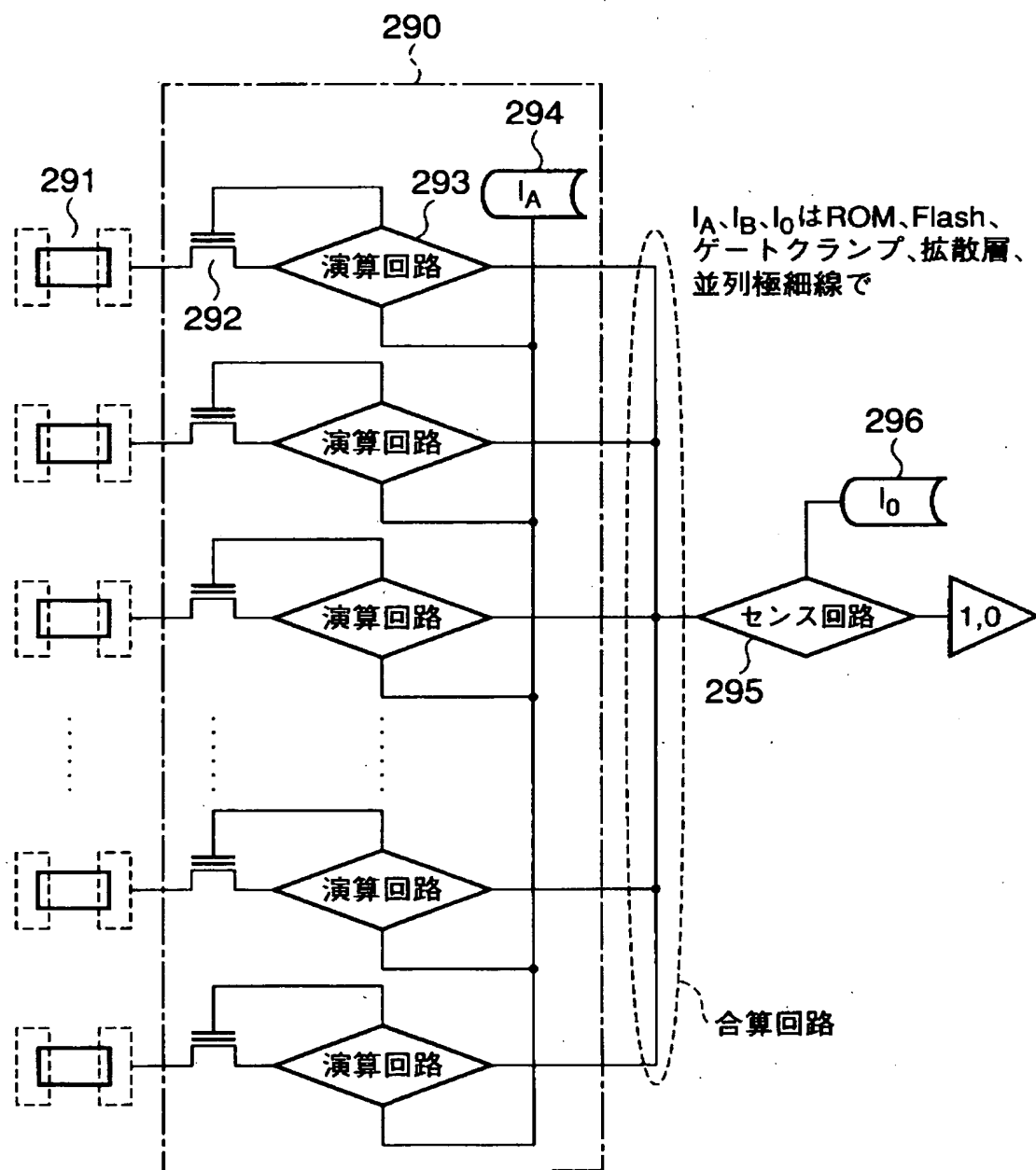
【図 3 1】



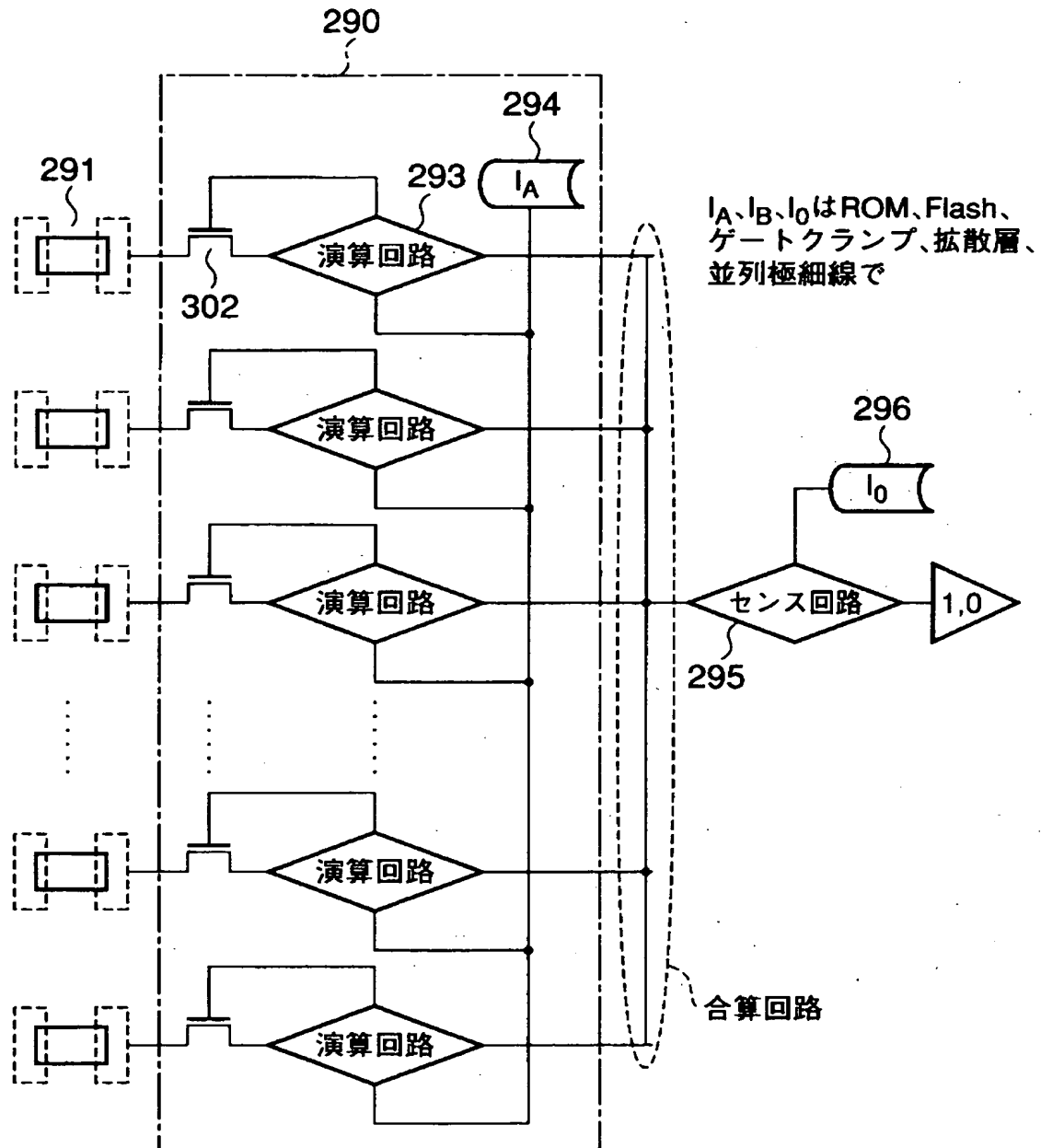
【図 3 2】



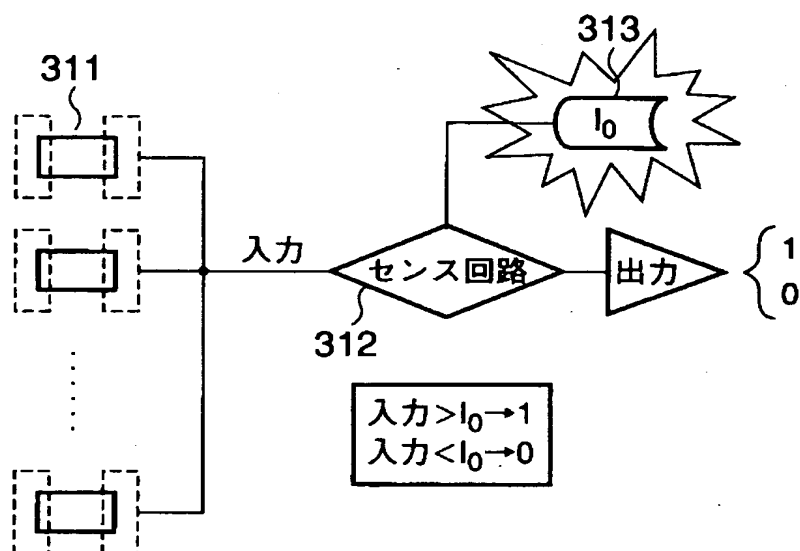
【図 3 3】



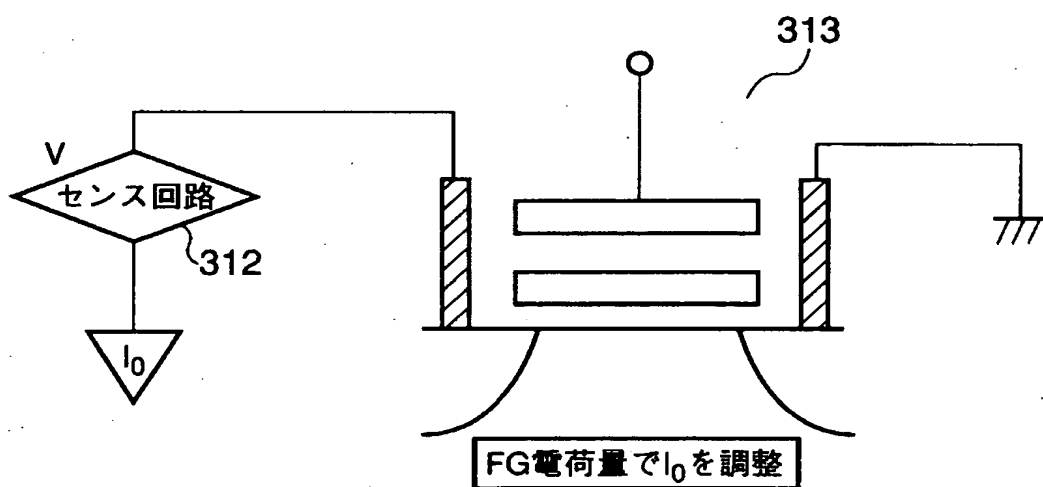
【図 3 4】



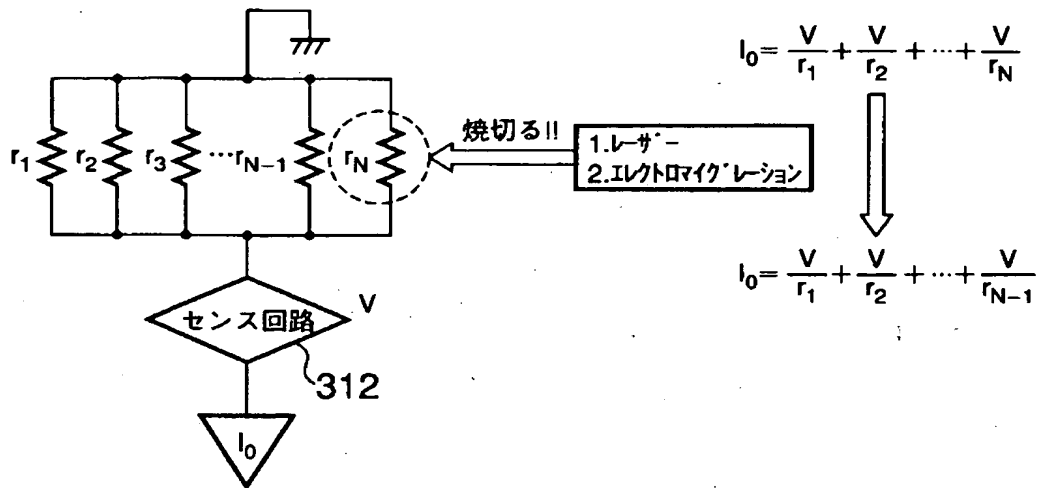
【図 3 5】



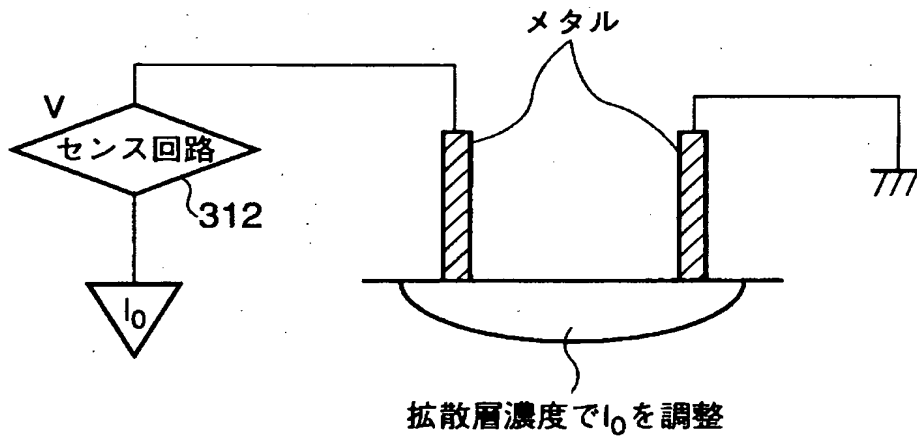
【図 3 6】



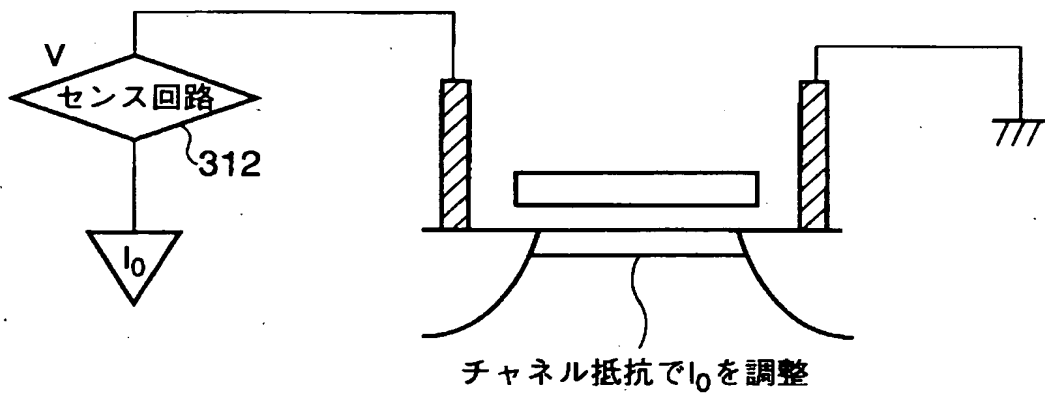
【図 37】



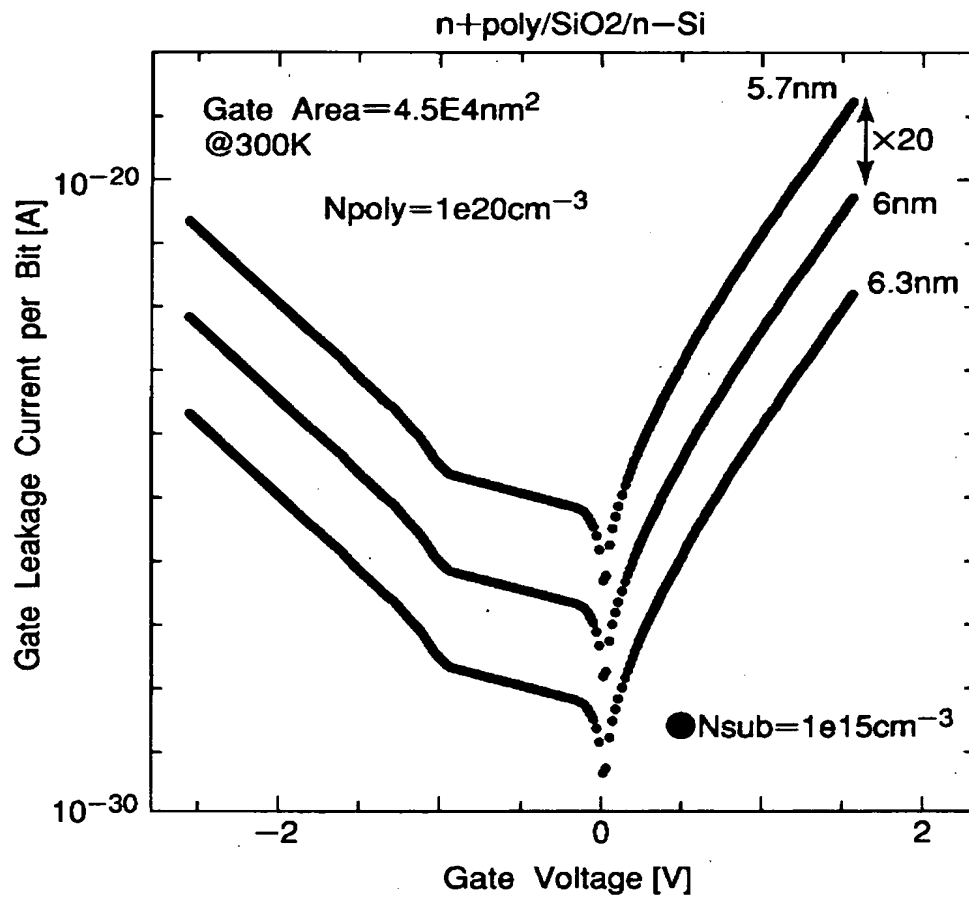
【図 38】



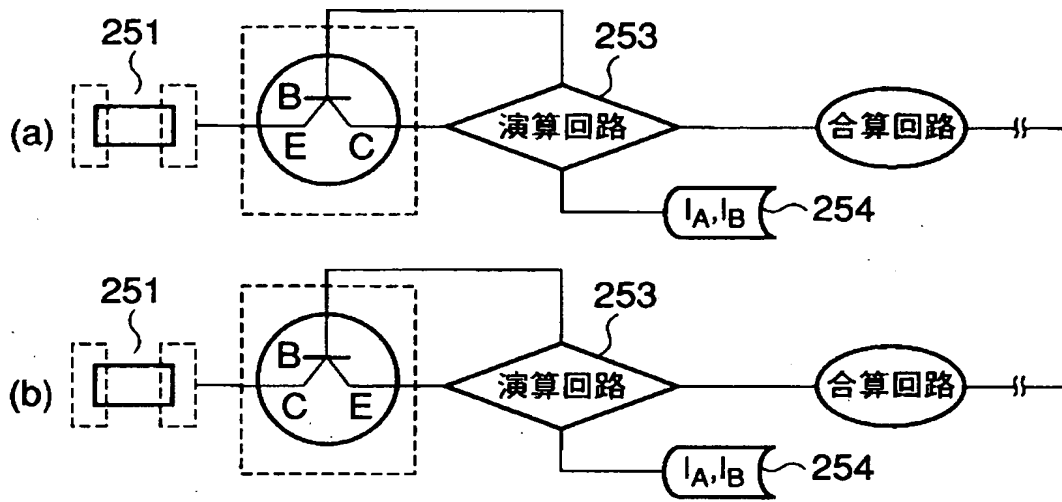
【図 39】



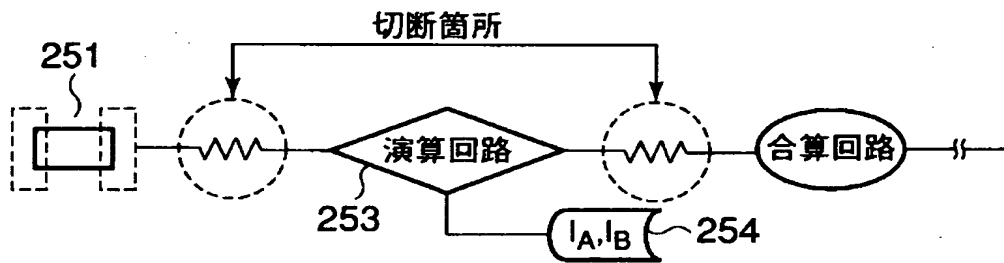
【図 40】



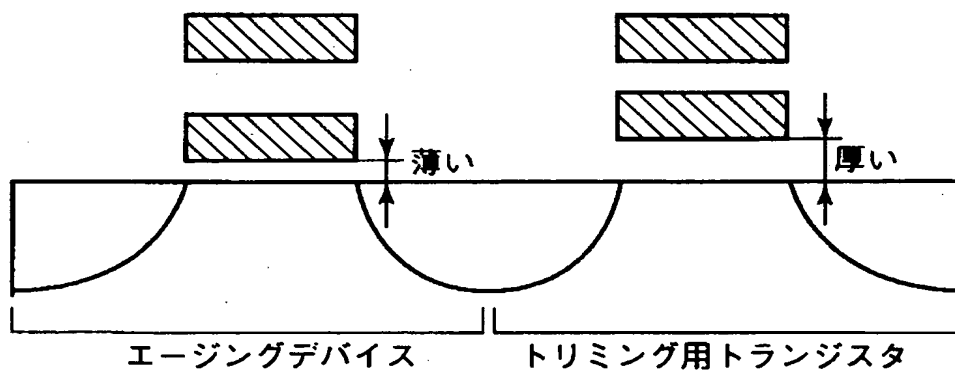
【図 4 1】



【図 4 2】



【図 4 3】



【書類名】 要約書

【要約】

【課題】 エージングデバイスの寿命の製造ばらつきを制御し、不良ビットの影響を取り除く。

【解決手段】 浮遊ゲートと制御ゲートを有する 2 層ゲート構成の不揮発性メモリセルからなるエージングデバイス 8 1 を複数個並列接続してなるエージング回路と、この回路の出力信号をメモリに記憶された参照信号 I_0 と比較して該回路の寿命を検知するセンス回路とを備えた半導体集積回路において、複数のエージングデバイスのうちで寿命の長いエージングデバイス（寿命の最も長いものを除く）が全体の寿命を決定するように設計する。

【選択図】 図 8

【書類名】 手続補正書
 【整理番号】 AH00204934
 【提出日】 平成15年 1月 9日
 【あて先】 特許庁長官 殿
 【事件の表示】

【出願番号】 特願2002-336961

【補正をする者】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正の内容】 1

【手続補正 2】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 0

【補正方法】 変更

【補正の内容】 7

【手続補正 3】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 6

【補正方法】 変更

【補正の内容】 8

【手続補正 4】

【補正対象書類名】 明細書
 【補正対象項目名】 0 0 1 7
 【補正方法】 変更
 【補正の内容】 9

【手続補正 5】

【補正対象書類名】 明細書
 【補正対象項目名】 0 0 1 8
 【補正方法】 変更
 【補正の内容】 10

【手続補正 6】

【補正対象書類名】 明細書
 【補正対象項目名】 0 0 3 7
 【補正方法】 変更
 【補正の内容】 11

【手続補正 7】

【補正対象書類名】 明細書
 【補正対象項目名】 0 0 4 6
 【補正方法】 変更
 【補正の内容】 12

【手続補正 8】

【補正対象書類名】 明細書
 【補正対象項目名】 0 0 4 9
 【補正方法】 削除

【手続補正 9】

【補正対象書類名】 明細書
 【補正対象項目名】 0 0 9 1
 【補正方法】 変更
 【補正の内容】 13

【手続補正 10】

【補正対象書類名】	図面
【補正対象項目名】	図 1 4
【補正方法】	変更
【補正の内容】	14
【プルーフの要否】	要

【特許請求の範囲】

【請求項 1】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなる経時変化回路と、この経時変化回路の出力信号を参照信号と比較するセンス回路とを具備してなり、

前記経時変化デバイスの出力信号が所定のレベルに達するまでの時間を該経時変化デバイスの寿命と定義し、前記経時変化回路の出力信号が前記参照信号に達するまでの時間を該経時変化回路の寿命と定義し、前記経時変化デバイスの寿命の平均値よりも前記経時変化回路の寿命の方が長くなるように前記参照信号のレベルを設定したことを特徴とする半導体集積回路。

【請求項 2】

前記参照信号のレベルは、前記経時変化回路の出力信号が時間の経過により最大となる値よりも所定のオフセット量だけ小さい値、又は前記経時変化回路の出力信号が時間の経過により最小となる値よりも所定のオフセット量だけ大きい値に設定されることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記参照信号を記憶するメモリを備え、該メモリに記憶する参照信号のレベルを調整することで前記経時変化回路の寿命を制御可能にしたことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】

前記経時変化回路を構成する経時変化デバイスの数は、20 以上であることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】

前記経時変化デバイスは、電源と切断された状態でリーク現象を伴う電荷蓄積層を有する電界効果デバイスであることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 6】

電源と切断された状態でリーク現象を伴う電荷蓄積層を有する電界効果デバ

スが複数個直列接続された直列回路を更に並列接続してなることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 7】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に減少する経時変化デバイスを複数個並列接続してなる第 1 の経時変化回路と、
電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に増大する経時変化デバイスを複数個並列接続してなる第 2 の経時変化回路とを具備してなり、

第 1 及び第 2 の経時変化回路は直列接続され、各々の経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義したとき、第 1 の経時変化回路の寿命の方が第 2 の経時変化回路の寿命よりも長いことを特徴とする半導体集積回路。

【請求項 8】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に減少する経時変化デバイスを複数個並列接続してなる第 1 の経時変化回路と、
電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に増大する経時変化デバイスを複数個並列接続してなる第 2 の経時変化回路とを具備してなり、

第 1 及び第 2 の経時変化回路は並列接続され、各々の経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義したとき、第 1 の経時変化回路の寿命の方が第 2 の経時変化回路の寿命よりも短いことを特徴とする半導体集積回路。

【請求項 9】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなる経時変化回路と、この経時変化回路の出力信号と経過時間との対応コードが予め記憶されたメモリ領域と、前記経時変化回路の出力信号と前記メモリ領域に記憶された対応コードとを比較するセンス回路とを具備してなり、

前記センス回路による比較動作によって前記経時変化回路の動作経過時間を検

知することを特徴とする半導体集積回路。

【請求項 1 0】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなり、合算された出力信号が所定のレベルに達するまでの時間で定義される寿命がそれぞれ異なる N 個の経時変化回路と、前記 N 個の経時変化回路の各出力信号を参照信号と同時に比較するセンス回路とを具備してなり、

前記センス回路の比較結果によって動作経過時間を検知することを特徴とする半導体集積回路。

【請求項 1 1】

前記 N 個の経時変化回路は、寿命を一定時間ずつ変えたものであり、前記センス回路の比較結果により、前記 N 個の経時変化回路の最短寿命と最長寿命の差を N 等分した時間間隔で時刻を刻むことを特徴とする請求項 1 0 記載の半導体集積回路。

【請求項 1 2】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、

これらの経時変化デバイスに対応して複数個設けられ、半導体基板上に第 1 の絶縁膜を介して第 1 のゲートを有し、第 1 のゲート上に第 2 のゲート絶縁膜を介して第 2 のゲートを有し、各々のゲートを挟んで基板表面に第 1 及び第 2 の拡散層を有し、第 1 の拡散層が前記経時変化デバイスの出力端子と電氣的に接続された 2 層ゲート構造のトリミング用トランジスタと、

これらのトリミング用トランジスタに対応して複数個設けられ、第 1 ～第 4 の端子を有し、トリミング用トランジスタの第 2 の拡散層が第 1 の端子と電氣的に接続され、トリミング用トランジスタの第 2 のゲートが第 2 の端子と電氣的に接続された演算回路と、

これらの演算回路の第 3 の端子に電氣的に接続され、所定の信号レベルを記憶した第 1 のメモリ領域と、

前記演算回路の第 4 の端子と電氣的に接続され、各々の演算回路の第 4 の端子

に現れる出力信号を合算する合算回路と、

この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、

前記参照信号を記憶する第2のメモリ領域とを具備してなり、

前記演算回路は、前記トリミング用トランジスタを通じて入力される前記経時変化デバイスの出力信号と、前記第1のメモリ領域に記憶された信号レベルとを比較し、比較結果に基づいて前記トリミング用トランジスタの第1のゲートに対し電荷の注入又は放出を行うことを特徴とする半導体集積回路。

【請求項13】

前記経時変化デバイスは、前記基板上に前記トリミング用トランジスタと同じ構成に形成され、該経時変化デバイスの第1及び第2の拡散層の一方はトリミング用トランジスタと共用され、該経時変化デバイスの第1のゲート絶縁膜の膜厚はトリミング用トランジスタの第1のゲート絶縁膜よりも薄いことを特徴とする請求項12記載の半導体集積回路。

【請求項14】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、

これらの経時変化デバイスに対応して複数個設けられ、半導体基板上に絶縁膜を介してゲートを有し、ゲートを挟んで第1及び第2の拡散層を有し、第1の拡散層が前記経時変化デバイスの出力端子と電氣的に接続されたトリミング用トランジスタと、

これらのトリミング用トランジスタに対応して複数個設けられ、第1～第4の端子を有し、トリミング用トランジスタの第2の拡散層が第1の端子と電氣的に接続され、トリミング用トランジスタのゲートが第2の端子と電氣的に接続された演算回路と、

これらの演算回路の第3の端子に電氣的に接続され、所定の信号レベルを記憶した第1のメモリ領域と、

前記演算回路の第4の端子と電氣的に接続され、各々の演算回路の第4の端子に現れる出力信号を合算する合算回路と、

この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、

前記参照信号を記憶する第2のメモリ領域とを具備してなり、

前記演算回路は、前記トリミング用トランジスタを通じて入力される前記経時変化デバイスの出力信号と、前記第1のメモリ領域に記憶された信号レベルとを比較し、比較結果に基づいて前記演算回路と前記トリミング用トランジスタとの間の電氣的接続、又は前記演算回路と前記合算回路との電氣的接続を切断することを特徴とする半導体集積回路。

【請求項15】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、

これらの経時変化デバイスに対応して複数個設けられ、第1～第3の端子を有し、前記経時変化デバイス出力端子と第1の端子とが電氣的に接続された演算回路と、

これらの演算回路の第2の端子に電氣的に接続され、所定の信号レベルを記憶した第1のメモリ領域と、

前記演算回路の第3の端子と電氣的に接続され、各々の演算回路の第3の端子に現れる出力信号を合算する合算回路と、

この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、

前記参照信号を記憶する第2のメモリ領域とを具備してなり、

前記演算回路は、前記経時変化デバイスの出力信号と前記第1のメモリ領域に記憶された信号レベルとを比較し、比較結果に基づいて前記演算回路の第1の端子と前記経時変化デバイスとの電氣的接続、又は前記演算回路と前記合算回路との電氣的接続を切断することを特徴とする半導体集積回路。

【請求項16】

電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する複数個の経時変化デバイスと、

これらの経時変化デバイスに対応して複数個設けられ、半導体基板上に絶縁膜を介してゲートを有し、ゲートを挟んで第1及び第2の拡散層を有し、第1の拡散層が前記経時変化デバイスの出力端子と電氣的に接続されたトリミング用トランジスタと、

これらのトリミング用トランジスタに対応して複数個設けられ、第 1 ～ 第 4 の端子を有し、トリミング用トランジスタの第 2 の拡散層が第 1 の端子と電氣的に接続され、トリミング用トランジスタのゲートが第 2 の端子と電氣的に接続された演算回路と、

これらの演算回路の第 3 の端子に電氣的に接続され、所定の信号レベルを記憶した第 1 のメモリ領域と、

前記演算回路の第 4 の端子と電氣的に接続され、各々の演算回路の第 4 の端子に現れる出力信号を合算する合算回路と、

この合算回路の出力信号と所定の参照信号とを比較するセンス回路と、

前記参照信号を記憶する第 2 のメモリ領域と、

前記トリミング用トランジスタを通じて前記演算回路に入力される前記経時変化デバイスの出力信号と前記第 1 のメモリ領域に記憶された信号レベルとを前記演算回路が比較した結果を記憶する第 3 のメモリ領域と、

を具備してなることを特徴とする半導体集積回路。

【請求項 1 7】

前記経時変化デバイスの出力が前記第 1 のメモリ領域に記憶された所定の信号レベルに達するまでの時間を前記経時変化デバイスの寿命と定義し、前記合算回路で合算された出力が前記第 2 のメモリ領域に記憶された参照信号のレベルに達するまでの時間を前記経時変化回路の寿命と定義したときに、前記第 1 のメモリ領域に記憶する所定の信号レベルを調節することによって、前記経時変化回路の寿命を制御することを特徴とする請求項 1 2 ～ 1 6 の何れかに記載の半導体集積回路。

【 0 0 1 0 】

即ち本発明は、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に変化する経時変化デバイスを複数個並列接続してなる経時変化回路と、この経時変化回路の出力信号を参照信号と比較するセンス回路とを具備してなる半導体集積回路であって、前記経時変化デバイスの出力信号が所定のレベルに達するまでの時間を該経時変化デバイスの寿命と定義し、前記経時変化回路の出力信号が前記参照信号に達するまでの時間を該経時変化回路の寿命と定義し、前記経時変化デバイスの寿命の平均値よりも前記経時変化回路の寿命の方が長くなるように前記参照信号のレベルを設定したことを特徴とする。

【 0 0 1 6 】

(5) 経時変化デバイスは、電源と切断された状態でリーク現象を伴う電荷蓄積層を有する電界効果デバイスであること。

【 0 0 1 7 】

また本発明は、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に減少する経時変化デバイスを複数個並列接続してなる第 1 の経時変化回路と、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に増大する経時変化デバイスを複数個並列接続してなる第 2 の経時変化回路とを具備してなる半導体集積回路であって、第 1 及び第 2 の経時変化回路は直列接続され、各々の経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義したとき、第 1 の経時変化回路の寿命の方が第 2 の経時変化回路の寿命よりも長いことを特徴とする。

【 0 0 1 8 】

また本発明は、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に減少する経時変化デバイスを複数個並列接続してなる第 1 の経時変化回路と、電源と切断された状態で経時変化を起こし、読み出し時にセンスされる出力信号が時間と共に増大する経時変化デバイスを複数個並列接続してなる第 2 の経時変化回路とを具備してなる半導体集積回路であって、第 1 及び第 2 の経時変化回路は並列接続され、各々の経時変化回路の出力信号が所定のレベルに達するまでの時間を該経時変化回路の寿命と定義したとき、第 1 の経時変化回路の寿命の方が第 2 の経時変化回路の寿命よりも短いことを特徴とする。

【 0 0 3 7 】

図 3 は、図 2 で示した具体例がエージングデバイスとしての機能を有することを説明する図である。例としてソース及びドレインは p 型拡散層、基板は n 型 Si とする。前処理として、制御ゲートから基板界面とフローティングゲートの間に高電界を印加し、FN トンネリングによって電子をチャネルからフローティングゲートに注入しておく。このとき、基板界面は反転して正孔が集中し、(a) のように基板界面にチャネルが開く。

【 0 0 4 6 】

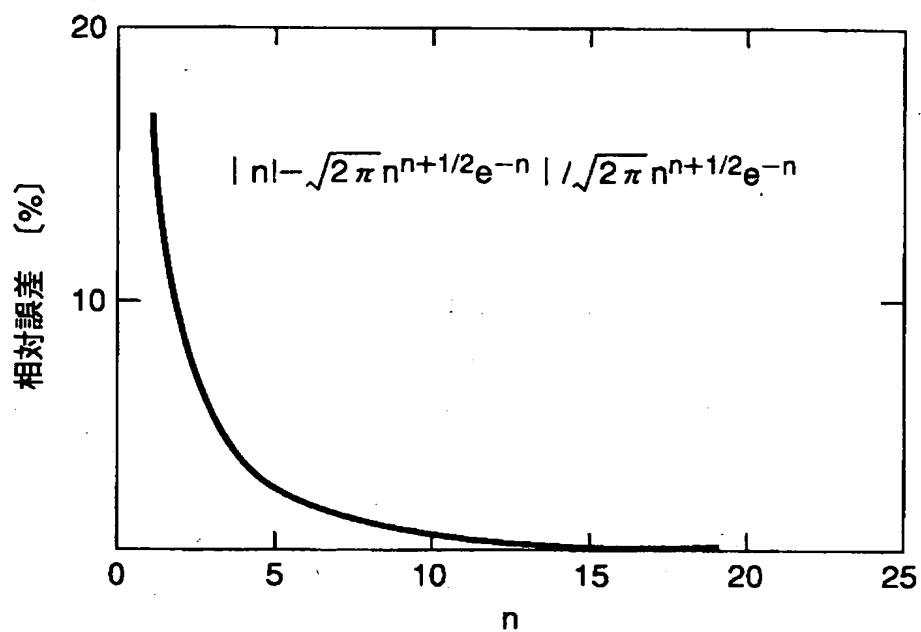
(第 1 の実施形態)

前記図 2 に示すようなエージングデバイスにおいては、図 7 に示すように、チップ上のトンネル絶縁膜（例えば酸化膜）の膜厚は半値幅の狭い正規分布をしていると考えられる。この分布関数をビット数密度 ($Z(T_{ox})$) とすると、(全ビット数) $\cdot Z(T_{ox}) \cdot \delta T_{ox}$ は、トンネル酸化膜の膜厚 (T_{ox}) が、 $[T_{ox} - \delta T_{ox}/2, T_{ox} + \delta T_{ox}/2]$ の間にあるチップ上の全ビット数となる。

【 0 0 9 1 】

このようなトリミングを並列化回路の中に実装する方法を、図 2 5 に示す。図中の一点鎖線で囲った部分がトリミング回路である。一方、破線円で囲った部分は合算回路である。エージングデバイスのビットを合算する前に、フラッシュメモリと演算回路に直列している。なお、図中の 2 5 0 はトリミング回路、2 5 1 はエージングデバイス、2 5 2 はフローティングゲート及び制御ゲートを有する 2 層ゲート構成のフラッシュメモリ（トリミング用トランジスタ）、2 5 3 は演算回路、2 5 4 は I_A , I_B を記憶したメモリ、2 5 5 はセンス回路、2 5 6 は参照信号 I_0 を記憶したメモリである。

【図 1 4】



認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 6 9 6 1
受付番号	5 0 3 0 0 0 2 7 2 8 5
書類名	手続補正書
担当官	森吉 美智枝 7 5 7 7
作成日	平成 1 5 年 1 月 1 5 日

<認定情報・付加情報>

【補正をする者】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

【代理人】

申請人

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝